

Japanese Kokai Patent Application No. 2002-353859

---

Job No.: 228-120911

Ref.: 4 Japanese patents/PU030189 JP/JJO(Della)/Order Nos. 8727-8730

Translated from Japanese by the McElroy Translation Company

800-531-9977

[customerservice@mcelroytranslation.com](mailto:customerservice@mcelroytranslation.com)

JAPANESE PATENT OFFICE  
PATENT JOURNAL (A)  
KOKAI PATENT APPLICATION NO. 2002-353859

Int. Cl. <sup>7</sup> :	H 04 B 1/707 7/26 H 04 J 13/00 H 04 L 7/00 H 04 Q 7/38
Filing No.:	2001-159907
Filing Date:	May 29, 2001
Publication Date:	December 6, 2002
No. of Claims:	10 (Total of 19 pages; OL)
Examination Request:	Not filed

FREQUENCY CONTROL METHOD AND MOBILE STATION FOR W-CDMA  
COMMUNICATION SYSTEM

Inventor:	Nagaaki Shu Yozan Inc. 3-5-18 Kitazawa, Setagaya-ku, Tokyo
Applicant:	000127178 Yozan Inc. 3-5-18 Kitazawa, Setagaya-ku, Tokyo
Agent:	100079832 Sei Yamamoto, patent attorney

[There are no amendments to this patent.]

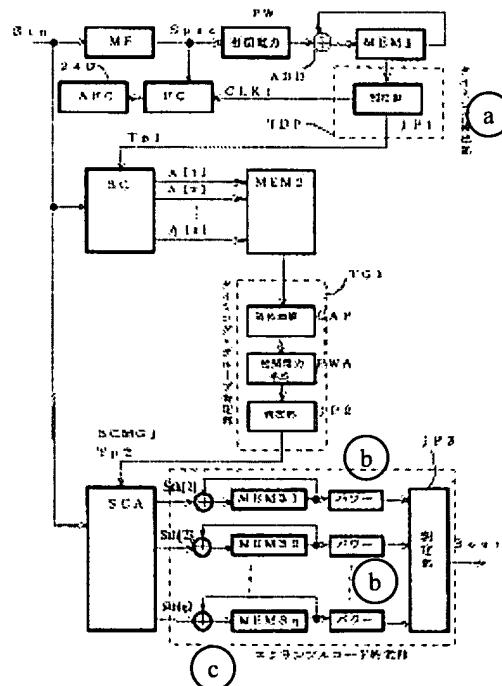
## Abstract

### Objective

To provide an initial cell search method and a circuit for initial cell search, which can realize a circuit for 3-step cell search system.

### Constitution

A matched filter MF and a sliding correlation unit SC, to which received signal Sin is input, are adopted. Said matched filter MF correlates the received signal Sin and the first synchronization code PSC. After its output SPSC is stored in memory MEM1, it is processed by timing detection processor. Sliding correlation unit SC is comprised of plural sliding correlators SC1-SCz. After their outputs A[1]-A[z] are stored in memory MEM2, they are processed by a timing group specification unit TGI. The final output or an intermediate output of matched filter MF is output to a phase error detector FC, and the phase error is output to frequency control unit AFC.



Key:

- a Timing detection processor
- b Power
- c Scramble code identification part
- PW Correlated power
- JP1 Judgment unit
- TG1 Timing group specification unit

CAP	In-phase addition
PWA	Correlated power average
JP2	Judgment unit
JP3	Judgment unit

### Claims

1. A frequency control method for mobile station in a W-CDMA communication system that operates as follows: the initial cell search is carried out with the following steps: step one, in which a first synchronization code (search code) that is common to all base stations and scramble codes used for identifying a base station are set; said scramble codes are divided into plural scramble code groups; a combination of a second synchronization code (search code) used for identifying each scramble code group is set; a first synchronization channel (search channel) constituted by the first synchronization code and a second synchronization channel (search channel) constituted by the second synchronization code are transmitted from the base station; in a mobile station, a correlation operation is performed on the received signals using the first synchronization code; based on the correlation result, a first receive timing (slot synchronization) is detected, and the inverse spread signal of the received signal is generated; step two, in which a correlation operation is performed on the received signals using the second synchronization code at said first receive timing; based on this correlation result, a second receive timing (frame synchronization) is detected, and the scramble code group is identified; and step three, in which a correlation operation is performed using the plural scramble codes included in the identified scramble code group, and one scramble code is specified; in this way, the mobile station that should receive signals can identify the base station; communication between the mobile station and the base station is then carried out using plural channels; characterized by the fact that

after the first step is completed, the phase error between the slots of the correlation result calculated using the first synchronization code is detected, and the local oscillation frequency of the mobile station is adjusted appropriately to eliminate the frequency deviation corresponding to said phase error.

2. A frequency control method for mobile station in a W-CDMA communication system that operates as follows: the initial cell search is carried out with the following steps: step one, in which a first synchronization code (search code) that is common to all base stations and scramble codes used for identifying a base station are set; said scramble codes are divided into plural scramble code groups; a combination of a second synchronization code (search code) used for identifying each scramble code group is set; a first synchronization channel (search channel) constituted by the first synchronization code and a second synchronization channel (search channel) constituted by the second synchronization code are transmitted from the base station; in

a mobile station, a correlation operation is performed on the received signals using the first synchronization code; the signal power of the correlation result is integrated iteratively; based on the iterative integration result, a first receive timing (slot synchronization) is detected, and the inverse spread signal of the received signal is generated; step two, in which a correlation operation is performed on the received signals using the second synchronization code at said first receive timing; based on this correlation result, a second receive timing (frame synchronization) is detected, and the scramble code group is identified; and step three, in which a correlation operation is performed using the plural scramble codes included in the identified scramble code group, and one scramble code is specified; in this way, the mobile station that should receive signals can identify the base station; communication between the mobile station and the base station is then carried out using plural channels; characterized by the following facts:

before the first receive timing is detected in step one of the cell search, the peak of the signal power of said correlation result is detected; the phase error in the correlation output is detected at plural peak positions at the timing of said peak; and the local oscillation frequency of the mobile station is adjusted appropriately to eliminate the frequency deviation corresponding to said phase error.

3. A frequency control method for mobile station in a W-CDMA communication system that operates as follows: the initial cell search is carried out with the following steps: step one, in which a first synchronization code (search code) that is common to all base stations and scramble codes used for identifying a base station are set; said scramble codes are divided into plural scramble code groups; a combination of a second synchronization code (search code) used for identifying each scramble code group is set; a first synchronization channel (search channel) constituted by the first synchronization code and a second synchronization channel (search channel) constituted by the second synchronization code are transmitted from the base station; in a mobile station, a correlation operation is performed on the received signals using the first synchronization code; the signal power of the correlation result is integrated iteratively; based on the iterative integration result, a first receive timing (slot synchronization) is detected, and the inverse spread signal of the received signal is generated; step two, in which a correlation operation is performed on the received signals using the second synchronization code at said first receive timing; based on this correlation result, a second receive timing (frame synchronization) is detected, and the scramble code group is identified; and step three, in which a correlation operation is performed using the plural scramble codes included in the identified scramble code group, and one scramble code is specified; in this way, the mobile station that should receive signals can identify the base station; communication between the mobile station and the base station is then carried out using plural channels; characterized by the following facts:

the correlation in step one is carried out in a hierarchical manner by using a series of matched filters in plural hierarchies;

before the first receive timing is detected in the first step of the cell search, the peak of the signal power of the correlation result before the final hierarchy of said matched filters (referred to as "partial correlation" hereinafter) is detected at plural peak positions at the timing of said peak; the phase error between the partial correlations is detected; and the local oscillation frequency of the mobile station is adjusted appropriately to eliminate the frequency deviation corresponding to said phase error.

4. A frequency control method for mobile station in a W-CDMA communication system that operates as follows: the initial cell search is carried out with the following steps: step one, in which a first synchronization code (search code) that is common to all base stations and scramble codes used for identifying a base station are set; said scramble codes are divided into plural scramble code groups; a combination of a second synchronization code (search code) used for identifying each scramble code group is set; a first synchronization channel (search channel) constituted by the first synchronization code and a second synchronization channel (search channel) constituted by the second synchronization code are transmitted from the base station; in a mobile station, a correlation operation is performed on the received signals using the first synchronization code; the signal power of the correlation result is integrated iteratively; based on the iterative integration result, a first receive timing (slot synchronization) is detected, and the inverse spread signal of the received signal is generated; step two, in which a correlation operation is performed on the received signals using the second synchronization code at said first receive timing; based on this correlation result, a second receive timing (frame synchronization) is detected, and the scramble code group is identified; and step three, in which a correlation operation is performed using the plural scramble codes included in the identified scramble code group, and one scramble code is specified; in this way, the mobile station that should receive signals can identify the base station; communication between the mobile station and the base station is then carried out using plural channels; characterized by the following facts:

the correlation in step one is carried out in a hierarchical manner by using a series of matched filters of plural hierarchies; before the first receive timing is detected in step one of the cell search, the peak of the signal power of the correlation result of the final hierarchy of said matched filters (referred to as "full correlation" hereinafter) or before the final hierarchy (referred to as "partial correlation" hereinafter) is detected; the phase error of the full correlation or the phase error of the partial correlation is detected selectively at plural peak positions at the timing of said peak; and the local oscillation frequency of the mobile station is adjusted appropriately to eliminate the frequency deviation corresponding to said phase error.

5. The frequency control method described in any of Claims 1-4 characterized by the fact that the phase error is calculated by means of delay detection.

6. A mobile station in a W-CDMA communication system that operates as follows: the initial cell search is carried out with the following steps: step one, in which a first synchronization code (search code) that is common to all base stations and scramble codes used for identifying a base station are set; said scramble codes are divided into plural scramble code groups; a combination of a second synchronization code (search code) used for identifying each scramble code group is set; a first synchronization channel (search channel) constituted by the first synchronization code and a second synchronization channel (search channel) constituted by the second synchronization code are transmitted from the base station; in a mobile station, a correlation operation is performed on the received signals using the first synchronization code; based on the correlation result, a first receive timing (slot synchronization) is detected, and the inverse spread signal of the received signal is generated; step two, in which a correlation operation is performed on the received signals using the second synchronization code at said first receive timing; based on this correlation result, a second receive timing (frame synchronization) is detected, and the scramble code group is identified; and step three, in which a correlation operation is performed using the plural scramble codes included in the identified scramble code group, and one scramble code is specified; in this way, the mobile station that should receive signals can identify the base station; communication between the mobile station and the base station is then carried out using plural channels; characterized by the fact that said mobile station is equipped with the following:

a matched filter that performs the correlation in step one;

a correlated power calculator that receives the output of the matched filter as input and calculates its correlated power;

an adder that receives the output of the correlated power calculator as the input;

a memory that receives the output of said adder as input and stores said input at a slot period and feeds back its output to said adder so as to accumulate the correlated power by said adder;

a timing detector that detects the first receive timing based on the output of the memory;

a phase error detector that receives the plural outputs of said matched filter at the first receive timing detected by said timing detector and detects the phase error of the correlation result of the plural slots; and

a frequency controller that controls the local oscillation frequency of the mobile station appropriately to eliminate the frequency deviation corresponding to the phase error detected by said phase error detector.

7. A mobile station in a W-CDMA communication system that operates as follows: the initial cell search is carried out with the following steps: step one, in which a first synchronization code (search code) that is common to all base stations and scramble codes used for identifying a base station are set; said scramble codes are divided into plural scramble code groups; a combination of a second synchronization code (search code) used for identifying each scramble code group is set; a first synchronization channel (search channel) constituted by the first synchronization code and a second synchronization channel (search channel) constituted by the second synchronization code are transmitted from the base station; in a mobile station, a correlation operation is performed on the received signals using the first synchronization code; based on the correlation result, a first receive timing (slot synchronization) is detected, and the inverse spread signal of the received signal is generated; step two, in which a correlation operation is performed on the received signals using the second synchronization code at said first receive timing; based on this correlation result, a second receive timing (frame synchronization) is detected, and the scramble code group is identified; and step three, in which a correlation operation is performed using the plural scramble codes included in the identified scramble code group, and one scramble code is specified; in this way, the mobile station that should receive signals can identify the base station; communication between the mobile station and the base station is then carried out using plural channels; characterized by the fact that said mobile station is equipped with the following:

- a matched filter that performs the correlation in step one;
- a correlated power calculator that receives the output of the matched filter as input and calculates its correlated power;
- an adder that receives the output of the correlated power calculator as the input;
- a memory that receives the output of said adder as input and stores said input at a slot period and feeds back its output to said adder so as to accumulate the correlated power by said adder;
- a timing detector that detects the first receive timing based on the output of the memory;
- a frequency controller equipped with a correlated power calculator that receives the output of said matched filter as its input and calculates its correlated power, a peak detector that detects the peak position of the correlated power calculated by said correlated power calculator, and a phase error detector that receives the plural outputs of said matched filter at the timing of the peak position detected by said peak detector and detects the phase error of the correlation result of the plural slots; and
- a frequency controller that controls the local oscillation frequency of the mobile station appropriately to eliminate the frequency deviation corresponding to the phase error detected by the phase error detector in said frequency controller.

8. A mobile station in a W-CDMA communication system that operates as follows: the initial cell search is carried out with the following steps: step one, in which a first synchronization code (search code) that is common to all base stations and scramble codes used for identifying a base station are set; said scramble codes are divided into plural scramble code groups; a combination of a second synchronization code (search code) used for identifying each scramble code group is set; a first synchronization channel (search channel) constituted by the first synchronization code and a second synchronization channel (search channel) constituted by the second synchronization code are transmitted from the base station; in a mobile station, a correlation operation is performed on the received signals using the first synchronization code; based on the correlation result, a first receive timing (slot synchronization) is detected, and the inverse spread signal of the received signal is generated; step two, in which a correlation operation is performed on the received signals using the second synchronization code at said first receive timing; based on this correlation result, a second receive timing (frame synchronization) is detected, and the scramble code group is identified; and step three, in which a correlation operation is performed using the plural scramble codes included in the identified scramble code group, and one scramble code is specified; in this way, the mobile station that should receive signals can identify the base station; communication between the mobile station and the base station is then carried out using plural channels; characterized by the fact that said mobile station is equipped with the following:

- a series of matched filters in plural hierarchies that perform the correlation in step one;
- a correlated power calculator that receives the output of the matched filter in the final hierarchy of said matched filters and calculates its correlated power;
- an adder that receives the output of said correlated power calculator as its input;
- a memory that receives the output of said adder as input and stores said input at a slot period and feeds back its output to said adder so as to accumulate the correlated power by said adder;
- a timing detector that detects the first receive timing based on the output of the memory;
- a frequency controller equipped with a correlated power calculator that receives the outputs of the matched filters before said final hierarchy (referred to as "partial correlation" hereinafter) as input and calculates its correlated power, a peak detector that detects the peak position of the correlated power calculated by said correlated power calculator, and a phase error detector that receives plural partial correlations at the timing of the peak position detected by said peak detector and detects the inter-phase error between the partial correlations at plural peak positions; and

a frequency controller that controls the local oscillation frequency of the mobile station appropriately to eliminate the frequency deviation corresponding to the phase error detected by the phase error detector in said frequency controller.

9. A mobile station in a W-CDMA communication system that operates as follows: the initial cell search is carried out with the following steps: step one, in which a first synchronization code (search code) that is common to all base stations and scramble codes used for identifying a base station are set; said scramble codes are divided into plural scramble code groups; a combination of a second synchronization code (search code) used for identifying each scramble code group is set; a first synchronization channel (search channel) constituted by the first synchronization code and a second synchronization channel (search channel) constituted by the second synchronization code are transmitted from the base station; in a mobile station, a correlation operation is performed on the received signals using the first synchronization code; based on the correlation result, a first receive timing (slot synchronization) is detected, and the inverse spread signal of the received signal is generated; step two, in which a correlation operation is performed on the received signals using the second synchronization code at said first receive timing; based on this correlation result, a second receive timing (frame synchronization) is detected, and the scramble code group is identified; and step three, in which a correlation operation is performed using the plural scramble codes included in the identified scramble code group, and one scramble code is specified; in this way, the mobile station that should receive signals can identify the base station; communication between the mobile station and the base station is then carried out using plural channels; characterized by the fact that said mobile station is equipped with the following:

a series of matched filters in plural hierarchies that perform the correlation in step one; a multiplexer that receives the output of the matched filter in the final hierarchy and the outputs of the matched filters before the final hierarchy as inputs and selects one of said outputs to output;

a correlated power calculator that receives the output of said matched filter in the final hierarchy and calculates its correlated power;

an adder that receives the output of said correlated power calculator as its input;

a memory that receives the output of said adder as input and stores said input at a slot period and feeds back its output to said adder so as to accumulate the correlated power by said adder;

a timing detector that detects the first receive timing based on the output of the memory;

a frequency controller equipped with a correlated power calculator that receives the output of the matched filter in the final hierarchy (referred to as "full correlation" hereinafter) and the outputs of the matched filters before the final hierarchy (referred to as "partial correlations" hereinafter) as inputs and calculates the correlated power of the outputs of said

matched filters, a peak detector that detects the peak position of the correlated power calculated by said correlation power calculator, and a phase error detector that receives the plural outputs of the matched filters at the timing of the peak position detected by said peak detector and detects the phase error of the outputs at the plural peak positions; and

frequency controller that controls the local oscillation frequency of the mobile station appropriately to eliminate the frequency deviation corresponding to the phase error detected by the phase error detector in said frequency controller.

10. The mobile station described in any of Claims 6-9 characterized by the fact that the phase error detector calculates the phase error by means of delay detection.

#### Detailed explanation of the invention

[0001]

Industrial application field

The present invention pertains to direct sequence code division multiple access (DS-CDMA) communication system. In particular, the present invention pertains to a frequency control method for reducing the frequency deviation between a mobile station and the base station during initial cell search processing and to the receiving device thereof.

[0002]

Prior art

In wideband direct sequence code division multiple access (W-CDMA) communication systems, which have received a lot of attention in the mobile communication field in recent years, it takes time to perform an initial cell search since the operation for initial synchronization or the identification of the base station is performed during the initial cell search. Therefore, a three-step cell search system has been proposed ("Analysis of cell search characteristic in W-CDMA cellular system," Journal of Electronic Information and Communication Society, Vol. J83-B, No. 9, pp 1245-1257). In this case, the scramble codes used for identifying the base station are divided into groups, and a second synchronization code (search code) is set to identify the group to increase the speed of the initial cell search.

[0003]

During the initial cell search, since the frequencies of the base station and mobile station are not synchronized, the frequency deviation between the two stations may be relatively high. This problem was pointed out by Y. Wang and T. Ottoson in "Cell search algorithm and optimization in W-CDMA," IEEE Vehicle Technology Conference Spring 2000, Tokyo. If the frequency deviation is high, the correlation detection accuracy will be low, and the misdetection

rate of cell search will be high in each step of the initial cell search. In order to solve this problem, a method that takes advantage of partial correlation within only 1 symbol during the initial cell search was proposed in the same paper. This method, however, is unable to fully generate the original spread gain of the system, and to increase the S/N ratio.

[0004]

Problem to be solved by the invention

The objective of the present invention is to solve the aforementioned problem by providing a frequency control method and receiving device that can prevent misdetection caused by frequency deviation in the 3-step cell search system.

[0005]

Means to solve the problem

The present invention provides a frequency control method for mobile station in a W-CDMA communication system that operates as follows: the initial cell search is carried out with the following steps: step one, in which a first synchronization code (search code) that is common to all base stations and scramble codes used for identifying a base station are set; said scramble codes are divided into plural scramble code groups; a combination of a second synchronization code (search code) used for identifying each scramble code group is set; a first synchronization channel (search channel) constituted by the first synchronization code and a second synchronization channel (search channel) constituted by the second synchronization code are transmitted from the base station; in a mobile station, a correlation operation is performed on the received signals using the first synchronization code; based on the correlation result, a first receive timing (slot synchronization) is detected, and the inverse spread signal of the received signal is generated; step two, in which a correlation operation is performed on the received signals using the second synchronization code at said first receive timing; based on this correlation result, a second receive timing (frame synchronization) is detected, and the scramble code group is identified; and step three, in which a correlation operation is performed using the plural scramble codes included in the identified scramble code group, and one scramble code is specified; in this way, the mobile station that should receive signals can identify the base station; communication between the mobile station and the base station is then carried out using plural channels. In this method, after the first step is completed, the phase error between the slots of the correlation result calculated using the first synchronization code is detected, and the local oscillation frequency of the mobile station is adjusted appropriately to eliminate the frequency deviation corresponding to said phase error. In this way, it is possible to adjust the frequency early in the process.

[0006]

The present invention also provides a frequency control method for mobile station in a W-CDMA communication system that operates as follows: the initial cell search is carried out with the following steps: step one, in which a first synchronization code (search code) that is common to all base stations and scramble codes used for identifying base station are set; said scramble codes are divided into plural scramble code groups; a combination of a second synchronization code (search code) used for identifying each scramble code group is set; a first synchronization channel (search channel) constituted by the first synchronization code and a second synchronization channel (search channel) constituted by the second synchronization code are transmitted from the base station; in a mobile station, a correlation operation is performed on the received signals using the first synchronization code; the signal power of the correlation result is integrated iteratively; based on the iterative integration result, a first receive timing (slot synchronization) is detected, and the inverse spread signal of the received signal is generated; step two, in which a correlation operation is performed on the received signals using the second synchronization code at said first receive timing; based on this correlation result, a second receive timing (frame synchronization) is detected, and the scramble code group is identified; and step three, in which a correlation operation is performed using the plural scramble codes included in the identified scramble code group, and one scramble code is specified; in this way, the mobile station that should receive signals can identify the base station; communication between the mobile station and the base station is then carried out using plural channels. In this method, before the first receive timing is detected in the first step of the cell search, the peak of the signal power of said correlation result is detected. The phase error in the correlation output is detected at plural peak positions at the timing of said peak; and the local oscillation frequency of the mobile station is adjusted appropriately to eliminate the frequency deviation corresponding to said phase error. In this way, the frequency can be adjusted earlier.

[0007]

The present invention also provides a frequency control method for mobile station in a W-CDMA communication system that operates as follows: the initial cell search is carried out in the following steps: step one, in which a first synchronization code (search code) that is common to all base stations and scramble codes used for identifying a base station are set; said scramble codes are divided into plural scramble code groups; a combination of a second synchronization code (search code) used for identifying each scramble code group is set; a first synchronization channel (search channel) constituted by the first synchronization code and a second synchronization channel (search channel) constituted by the second synchronization code are

transmitted from the base station; in a mobile station, a correlation operation is performed on the received signals using the first synchronization code; the signal power of the correlation result is integrated iteratively; based on the iterative integration result, a first receive timing (slot synchronization) is detected, and the inverse spread signal of the received signal is generated; step two, in which a correlation operation is performed on the received signals using the second synchronization code at said first receive timing; based on this correlation result, a second receive timing (frame synchronization) is detected, and the scramble code group is identified; and step three, in which a correlation operation is performed using the plural scramble codes included in the identified scramble code group, and one scramble code is specified; in this way, the mobile station that should receive signals can identify the base station; communication between the mobile station and the base station is then carried out using plural channels. In this method, the correlation operation in step one is carried out in a hierarchical manner by using a series of matched filters of plural hierarchies. Before the first receive timing is detected in the first step of the cell search, the peak of the signal power of the correlation result before the final hierarchy of said matched filters (referred to as "partial correlation" hereinafter) is detected at plural peak positions at the timing of said peak. The phase error between the partial correlations is detected, and the local oscillation frequency of the mobile station is adjusted appropriately to eliminate the frequency deviation corresponding to said phase error. In this way, the frequency can be adjusted even earlier.

[0008]

The present invention also provides a frequency control method for mobile station in a W-CDMA communication system that operates as follows: the initial cell search is carried out with the following steps: step one, in which a first synchronization code (search code) that is common to all base stations and scramble codes used for identifying a base station are set; said scramble codes are divided into plural scramble code groups; a combination of a second synchronization code (search code) used for identifying each scramble code group is set; a first synchronization channel (search channel) constituted by the first synchronization code and a second synchronization channel (search channel) constituted by the second synchronization code are transmitted from the base station; in a mobile station, a correlation operation is performed on the received signals using the first synchronization code; the signal power of the correlation result is integrated iteratively; based on the iterative integration result, a first receive timing (slot synchronization) is detected, and the inverse spread signal of the received signal is generated; step two, in which a correlation operation is performed on the received signals using the second synchronization code at said first receive timing; based on this correlation result, a second receive timing (frame synchronization) is detected, and the scramble code group is identified;

and step three, in which a correlation operation is performed using the plural scramble codes included in the identified scramble code group, and one scramble code is specified; in this way, the mobile station that should receive signals can identify the base station; communication between the mobile station and the base station is then carried out using plural channels. In this method, the correlation operation in step one is carried out in a hierarchical manner by using a series of matched filters of plural hierarchies. Before the first receive timing is detected in the first step of the cell search, the peak of the signal power of the correlation result of the final hierarchy of said matched filters (referred to as "full correlation" hereinafter) or before the final hierarchy (referred to as "partial correlation" hereinafter) is detected. The phase error of the full correlation or the phase error of the partial correlation is detected selectively at plural peak positions at the timing of said peak, and the local oscillation frequency of the mobile station is adjusted appropriately to eliminate the frequency deviation corresponding to said phase error. In this way, the frequency detection accuracy and the frequency adjustment period can be optimized corresponding to the operation state of the mobile station.

[0009]

The phase error can be calculated, for example, by means of delay detection.

[0010]

The present invention provides a mobile station in a W-CDMA communication system that operates as follows: the initial cell search is carried out with the following steps: step one, in which a first synchronization code (search code) that is common to all base stations and scramble codes used for identifying a base station are set; said scramble codes are divided into plural scramble code groups; a combination of a second synchronization code (search code) used for identifying each scramble code group is set; a first synchronization channel (search channel) constituted by the first synchronization code and a second synchronization channel (search channel) constituted by the second synchronization code are transmitted from the base station; in a mobile station, a correlation operation is performed on the received signals using the first synchronization code; based on the correlation result, a first receive timing (slot synchronization) is detected, and the inverse spread signal of the received signal is generated; step two, in which a correlation operation is performed on the received signals using the second synchronization code at said first receive timing; based on this correlation result, a second receive timing (frame synchronization) is detected, and the scramble code group is identified; and step three, in which a correlation operation is performed using the plural scramble codes included in the identified scramble code group, and one scramble code is specified; in this way, the mobile station that should receive signals can identify the base station; communication between the mobile station

and the base station is then carried out using plural channels. Said mobile station is equipped with the following: a matched filter that performs the correlation operation in step one; a correlated power calculator that receives the output of the matched filter as input and calculates its correlated power; an adder that receives the output of the correlated power calculator as the input; a memory that receives the output of said adder as input and stores said input at a slot period and feeds back its output to said adder so as to accumulate the correlated power by said adder; a timing detector that detects the first receive timing based on the output of the memory; a phase error detector that receives the plural outputs of said matched filter at the first receive timing detected by said timing detector and detects the phase error of the correlation result of the plural slots; and a frequency controller that controls the local oscillation frequency of the mobile station appropriately to eliminate the frequency deviation corresponding to the phase error detected by said phase error detector.

[0011]

The present invention also provides a mobile station in a W-CDMA communication system that operates as follows: the initial cell search is carried out with the following steps: step one, in which a first synchronization code (search code) that is common to all base stations and scramble codes used for identifying a base station are set; said scramble codes are divided into plural scramble code groups; a combination of a second synchronization code (search code) used for identifying each scramble code group is set; a first synchronization channel (search channel) constituted by the first synchronization code and a second synchronization channel (search channel) constituted by the second synchronization code are transmitted from the base station; in a mobile station, a correlation operation is performed on the received signals using the first synchronization code; based on the correlation result, a first receive timing (slot synchronization) is detected, and the inverse spread signal of the received signal is generated; step two, in which a correlation operation is performed on the received signals using the second synchronization code at said first receive timing; based on this correlation result, a second receive timing (frame synchronization) is detected, and the scramble code group is identified; and step three, in which a correlation operation is performed using the plural scramble codes included in the identified scramble code group, and one scramble code is specified; in this way, the mobile station that should receive signals can identify the base station; communication between the mobile station and the base station is carried out using plural channels. Said mobile station is equipped with the following: a matched filter that performs the correlation in step one; a correlated power calculator that receives the output of the matched filter as input and calculates its correlated power; an adder that receives the output of the correlated power calculator as the input; a memory that receives the output of said adder as input and stores said input at a slot period and

feeds back its output to said adder so as to accumulate the correlated power by said adder; a timing detector that detects the first receive timing based on the output of the memory; a frequency controller equipped with a correlated power calculator that receives the output of said matched filter as its input and calculates its correlated power, a peak detector that detects the peak position of the correlated power calculated by said correlated power calculator, and a phase error detector that receives the plural outputs of said matched filter at the timing of the peak position detected by said peak detector and detects the phase error of the correlation result of the plural slots; and a frequency controller that controls the local oscillation frequency of the mobile station appropriately to eliminate the frequency deviation corresponding to the phase error detected by the phase error detector in said frequency controller.

[0012]

The present invention also provides a mobile station in a W-CDMA communication system that operates as follows: the initial cell search is carried out with the following steps: step one, in which a first synchronization code (search code) that is common to all base stations and scramble codes used for identifying a base station are set; said scramble codes are divided into plural scramble code groups; a combination of a second synchronization code (search code) used for identifying each scramble code group is set; a first synchronization channel (search channel) constituted by the first synchronization code and a second synchronization channel (search channel) constituted by the second synchronization code are transmitted from the base station; in a mobile station, a correlation operation is performed on the received signals using the first synchronization code; based on the correlation result, a first receive timing (slot synchronization) is detected, and the inverse spread signal of the received signal is generated; step two, in which a correlation operation is performed on the received signals using the second synchronization code at said first receive timing; based on this correlation result, a second receive timing (frame synchronization) is detected, and the scramble code group is identified; and step three, in which a correlation operation is performed using the plural scramble codes included in the identified scramble code group, and one scramble code is specified; in this way, the mobile station that should receive signals can identify the base station; communication between the mobile station and the base station is then carried out using plural channels. Said mobile station is equipped with the following: a series of matched filters in plural hierarchies that perform the correlation in step one; a correlated power calculator that receives the output of the matched filter in the final hierarchy of said matched filters and calculates its correlated power; an adder that receives the output of said correlated power calculator as its input; a memory that receives the output of said adder as input and stores said input at a slot period and feeds back its output to said adder so as to accumulate the correlated power by said adder; a timing detector that detects the first receive

timing based on the output of the memory; a frequency controller equipped with a correlated power calculator that receives the outputs of the matched filters before said final hierarchy (referred to as "partial correlation" hereinafter) as input and calculates its correlated power, a peak detector that detects the peak position of the correlated power calculated by said correlated power calculator, and a phase error detector that receives plural partial correlations at the timing of the peak position detected by said peak detector and detects the inter-phase error between the partial correlations at plural peak positions; and a frequency controller that controls the local oscillation frequency of the mobile station appropriately to eliminate the frequency deviation corresponding to the phase error detected by the phase error detector in said frequency controller.

[0013]

The present invention also provides a mobile station in a W-CDMA communication system that operates as follows: the initial cell search is carried out with the following steps: step one, in which a first synchronization code (search code) that is common to all base stations and scramble codes used for identifying a base station are set; said scramble codes are divided into plural scramble code groups; a combination of a second synchronization code (search code) used for identifying each scramble code group is set; a first synchronization channel (search channel) constituted by the first synchronization code and a second synchronization channel (search channel) constituted by the second synchronization code are transmitted from the base station; in a mobile station, a correlation operation is performed on the received signals using the first synchronization code; based on the correlation result, a first receive timing (slot synchronization) is detected, and the inverse spread signal of the received signal is generated; step two, in which a correlation operation is performed on the received signals using the second synchronization code at said first receive timing; based on this correlation result, a second receive timing (frame synchronization) is detected, and the scramble code group is identified; and step three, in which a correlation operation is performed using the plural scramble codes included in the identified scramble code group, and one scramble code is specified; in this way, the mobile station that should receive signals can identify the base station; communication between the mobile station and the base station is then carried out using plural channels. Said mobile station is equipped with the following: a series of matched filters in plural hierarchies that perform the correlation in step one; a multiplexer that receives the output of the matched filter in the final hierarchy and the outputs of the matched filters before the final hierarchy as inputs and selects one of said outputs to output; a correlated power calculator that receives the output of said matched filter in the final hierarchy and calculates its correlated power; an adder that receives the output of said correlated power calculator as its input; a memory that receives the output of said adder as input and stores said input at a slot period and feeds back its output to said adder so as to accumulate the

correlated power by said adder; a timing detector that detects the first receive timing based on the output of the memory; a frequency controller equipped with a correlated power calculator that receives the output of the matched filter in the final hierarchy (referred to as "full correlation" hereinafter) and the outputs of the matched filters before the final hierarchy (referred to as "partial correlations" hereinafter) as inputs and calculates the correlated power of the outputs of said matched filters, a peak detector that detects the peak position of the correlated power calculated by said correlation power calculator, and a phase error detector that receives the plural outputs of the matched filters at the timing of the peak position detected by said peak detector and detects the phase error of the outputs at plural peak positions; and frequency controller that controls the local oscillation frequency of the mobile station appropriately to eliminate the frequency deviation corresponding to the phase error detected by the phase error detector in said frequency controller.

[0014]

In the mobile station disclosed in the present invention, the phase error detector calculates the phase error, for example, by means of delay detection.

[0015]

Embodiment of the invention

In the following, the frequency control method and receiving device thereof for a W-CDMA communication system disclosed in the present invention will be explained based on preferred embodiments.

[0016]

Figure 15 shows the general transmission frame configuration of a 3-step cell search system.

[0017]

In this 3-step cell search system, common pilot channel CPICH, first synchronization (search) channel P-SCH, second synchronization (search) channel S-SCH are used. A pilot pattern is used by the common pilot channel CPICH. A first synchronization code PSC that is common to all the base stations is used by the first synchronization (search) channel P-SCH.

[0018]

The base station is identified by scramble code GC [i, j] ( $i=1-p, j = 1-q$ ). These scramble codes GC [i, j] are divided into plural scramble code groups SCMG [i] ( $i = 1-p$ ).

[0019]

Second synchronization codes (search code) SSC [i] ( $i = 1-z$ ) are used by the second synchronization channel S-SCH. One scramble code group SCMG [i] is identified by the combination of the second synchronization codes.

[0020]

In Figure 15, the length of one frame is  $n$  [slots/1 frame]  $\times N$  [symbols/1 slot]  $\times M$  [tips/1 symbol]. The correlation by the first synchronization code PSC and the second synchronization code SSC [i] is performed at  $n$  (equivalent to the number of slots) of the receive timings in one frame.

[0021]

The modulation method for the transmitted signals is QPSK (Quadrature Phase Shift Keying). The transmitted signal is composed of an in-phase component (I component) and an orthogonal component (Q component).

#### First embodiment

Figure 1 is a block diagram illustrating the mobile station in the first embodiment of the present invention.

[0022]

The mobile station has antenna 200 and duplexer (duplexer) 210 connected to antenna 200. Transmitter 220, receiver 230 are connected to said duplexer (duplexer) 210. Duplexer (duplexer) 210 separates the current of transmitter 220 from the current of the receiver 230 to prevent signal mixing.

[0023]

Transmitter 220 has spread spectrum modulator 2201 that spreads the digital signal to transmit and digital/analog converters 2202, 2203 that converts the in-phase component (I component) and the orthogonal component (Q component) of the digital output of said spread spectrum modulator 2201 into analog signals. The noise in the outputs of digital/analog converters 2202, 2203 is eliminated by low-pass filters 2204, 2205, respectively.

[0024]

The outputs of low-pass filters 2204, 2205 are input to orthogonal modulator 2206, which converts the in-phase component (I component) and the orthogonal component (Q component) of the signal, so that one QPSK (Quadrature phase shift keying) modulated signal can be transmitted.

[0025]

A transmission frequency synthesizer 2207 is connected to orthogonal modulator 2206 to set the transmission frequency used for QPSK modulation.

[0026]

After the output of orthogonal modulator 2206 is amplified by variable gain amplifier 2208, the signals at the frequencies other than the prescribed frequency are eliminated by bandpass filter 2209. The output of bandpass filter 2209 and the output of transmission frequency synthesizer 2207 are input into mixer 2210, where they are modulated. A prescribed frequency component is then extracted by bandpass filter 2211, followed by amplification performed by variable gain amplifier 2212 and power amplifier 2213. The signal is then input into duplexer (duplexer) 210.

[0027]

Receiver 230 has low-noise amplifier 2301 connected to duplexer (duplexer) 210 and bandpass filter 2302 that eliminates the signals at the frequencies other than the prescribed frequency in the output of said low-noise amplifier 2301.

[0028]

The output of bandpass filter 2302 is input to mixer 2303, to which receiving frequency synthesizer 2304 is connected, to convert the signal into an intermediate frequency signal. The output of mixer 2303 is subjected to orthogonal detection performed by orthogonal detector 2307 after undergoing extraction of a prescribed frequency component performed by bandpass filter 2305 and amplification performed by variable gain amplifier 2306. Receiving frequency synthesizer 2304 is connected to orthogonal detector 2307.

[0029]

Orthogonal detector 2307 extracts the in-phase component (I component) and the orthogonal component (Q component) of the received signal. After their noise is eliminated by

low-pass filters 2308, 2309, respectively, said components are converted into digital signals by analog/digital converters 2310, 2311, respectively.

[0030]

The outputs of analog/digital converters 2310, 2311 are input to inverse spread demodulator 2312 to inversely spread said outputs.

[0031]

In order to determine the frequency deviation between the received signal and the local oscillation frequency of the mobile station, inverse spread demodulator 2312 calculates phase error PE of the received signal at different reception timings and inputs them into frequency controller 240. Said frequency controller 240 outputs a control signal to a temperature-compensated crystal oscillator 250 to adjust the oscillation frequency. A system clock generator 260 is connected to temperature-compensated crystal oscillator 250. The oscillation frequency of temperature-compensated crystal oscillator 250 is divided to generate the system clock. Transmission frequency synthesizer 2207 and receiving frequency synthesizer 2304 are connected to temperature-compensated crystal oscillator 250 to generate signals with reference to the oscillation frequency of temperature-compensated crystal oscillator 250. Also, the output of temperature-compensated crystal oscillator 250 is input to system clock generator 260 and is used to generate the system clock CLK0 of the mobile station.

[0032]

Inverse spread demodulator 2312 is usually comprised of blocks for cell search, bus search, synchronized detection, rake synthesis, channel decoder, RF control, etc. Figure 2 is a block diagram illustrating the cell search block. This figure shows the connections between the cell search block of the present invention and the FC block (to be described below) and the AFC block.

[0033]

The cell search block has matched filter MF and sliding correlators part SC to which received signal Sin is input. Here, received signal Sin is a complex number composed of an in-phase component (I component) SinI and an orthogonal component (Q component) SinQ.

[0034]

Matched filter MF correlates received signal Sin and the first synchronization code PSC. Its output Spsc is input to correlated power calculator PW, which outputs the signal power value

(absolute value) of the correlation result. After said value is stored in memory MEM 1, it is processed by timing detection processor. Memory MEM 1 has a capacity of one slot and operates together with adder ADD in the previous step to accumulate the signal power value (absolute value) of the correlation result in slot unit. In this way, iterative integration is carried out. The output Spsc is a complex number composed of I component SpscI and Q component SpscQ.

[0035]

Sliding correlation unit SC is comprised of plural sliding correlators SC1-SCz (see Figure 17). After the output A[i] (i=1-z) is stored in memory MEM 2, it is processed by timing group identifier TGI.

[0036]

Memory MEM 1 stores the output of adder ADD for 1 slot. After it stores the correlated power for the period of 1 slot in the initial state, the power value is fed back to adder ADD. Adder ADD then sequentially adds the correlated power to the addition result at a period of 1 slot. In this way, adder ADD accumulates the correlated power at a period of 1 slot. The accumulation period is either 1 slot (two correlated powers in a period of 1 slot) or several slot periods.

[0037]

Judgment unit JP1 in timing detection processor compares the correlated power with a threshold value. The peak is detected, and the first reception timing Tp1 is detected. Said first reception timing Tp1 provides the starting point of one slot in Figure 15; and the slot synchronization is detected.

[0038]

The first reception timing Tp1 is input to sliding correlation unit SC, and the reception timings of sliding correlators SC1-SCz are set. Said sliding correlators SC1-SCz correlate second synchronization codes SSC[1] – SSC[z] and received signal Sin over 1 frame, respectively. The outputs A[1] – A[z] are stored as matrix AM [i, j] (i=1-z; j=1-n) in memory MEM2. Matrix AM[i, j] are complex numbers composed of I component AMI[i, j] and Q component AMQ[i, j].

[0039]

Timing detection processor generates clock CLK1 corresponding to the first reception timing TP1 and inputs said clock CLK1 to phase error detector FC connected to the output of matched filter MF. Phase error detector FC detects the phase error used for calculating the

frequency deviation between the frequency of received signal  $S_{in}$  and the local oscillation frequency of the mobile station. The calculation result is input to the frequency controller 240 shown in Figure 1 that adjusts the local oscillation frequency.

[0040]

Timing group identifier TGI performs in-phase addition by in-phase adder CAP for predetermined combination patterns  $PGC[i, j, k]$   $i=1-z$ ;  $j=1-n$ ,  $k=1-n$ ) indicating each of scramble code groups  $SCMG[1] - SCMG[p]$  with respect to the elements of matrix  $AM [i, j]$  ( $i=1-z$ ;  $j=1-n$ ) and calculates the average of said signal power (absolute value) by correlated power averaging part PWA based on the result of said in-phase addition. By comparing the average value of said signal power (with absolute value) with a threshold value, judgment unit JP2 identifies one scramble code group  $SCMG[g]$  and identifies the second reception timing  $Tp2$ . The second reception timing  $[Tp2]$  provides the starting point of the frame, and frame synchronization is detected.

[0041]

In timing group identifier TGI, it is also possible to omit the in-phase addition processing performed by said in-phase adder CAP, directly determine the signal power (absolute value) for each element in matrix  $AM [i, j]$  ( $i=1-z$ ;  $j=1-n$ ), accumulate the predetermined combination patterns  $GC[i, j, k]$  ( $i=1-p$ ;  $j=1-z$ ;  $k=1-n$ ), and compare the accumulation result with a threshold value.

[0042]

Then, the correlation operation between received signal  $S_{in}$  and scramble code and the channelization code of the common pilot channel is performed by sliding correlation unit SCA for the scramble codes  $GC[i, j] = (i=1-p, j=1-q)$  included in a certain scramble code group  $SCMG[i]$ . The correlation results ( $Sth[1], Sth[2], \dots, Sth[k]$ ) are accumulated by memory circuits (MEM 31, MEM32, ..., MEM39) and the adder in the previous step of each memory circuit over one or more symbols for the in-phase component (I component) and the orthogonal component (Q component) separately. The average value of the signal power (absolute value) is calculated by the circuit connected in the next step of each memory circuit (MEM 31, MEM32, ..., MEM39). By comparing the average value of the signal power (absolute value) with a threshold value, judgment unit JP3 identifies one of scramble codes  $GC [i, 1] - GC[i, q]$ .

[0043]

Figure 3 is a block diagram illustrating phase error detector FC along with matched filter MF.

[0044]

Phase error detector FC has two stages of sample-and-hold circuits 300, 310 to which the matched filter output Spsc is input. Said sample-and-hold circuits 300, 310 are synchronized with each clock pulse CLK of timing detection processor to hold output Spsc. The outputs of sample-and-hold circuits 300, 310 are input into inter-slot phase error detector 320. Clock CLK1 provides the peak position of each slot in the correlation output. One output Spsc is held in sample-and-hold circuit 300 at a slot timing and is sent to sample-and-hold circuit 310 at the next slot timing and holds correlation output Spsc at a new slot timing. Consequently, sample-and-hold circuit 310 holds outputs the correlation input Spsc after 1 slot of sample-and-hold circuit 300 to inter-slot phase error detector 320.

[0045]

In this way, the correlation outputs at the peak positions of two consecutive slots are input in parallel to inter-slot phase error detector 320.

[0046]

If the correlation output Spsc has an in-phase component  $D_i$ , an orthogonal component  $D_q$ , its amplitude will be  $B$ , as expressed by equation (1), where  $\Delta f$  is the deviation between the carrier frequency and the local oscillation frequency of the mobile station,  $t$  is time, and  $e$  is the base of the natural logarithm.

[0047]

Mathematical Formula 1

$$D_i + jD_q = Be^{2\pi\Delta f t} \quad (1)$$

After slot synchronization, inter-slot phase error detector 320 carries out the calculation of formulas (2), (3) for the correlation outputs of two consecutive slots to perform delay detection. Tslot in formulas (2), (3) is the slot period.

[0048]

Mathematical Formula 2

$$Be^{2\pi\Delta f t} \cdot Be^{-j\pi\Delta f (t-T_{slot})} = B^2 e^{2\pi\Delta f T_{slot}} \quad (2)$$

$$= B^2 \{ \cos(2\pi\Delta f T_{slot}) + j \sin(2\pi\Delta f T_{slot}) \} \quad (3)$$

When only the imaginary part of formula (3) is extracted, formula (4) is obtained. If it is used as the reference signal for frequency controller 240 (Figure 1), the frequency deviation can be eliminated.

[0049]

Mathematical Formula 3

$$B^2 \sin(2\pi\Delta f T_{slot}) \quad (4)$$

Inter-slot phase error detector 320 inputs the reference signal of formula (4) into frequency controller 240 (Figure 1). Frequency controller 240 generates the control signal for temperature-compensated crystal oscillator 250 (Figure 1) based on the inter-slot phase error and adjusts the local oscillation frequency of the mobile station appropriately to eliminate the frequency deviation. In this way, cell misdetection caused by frequency deviation can be prevented.

[0050]

Figure 4 is a flow chart illustrating the processing in the first embodiment.

[0051]

During the initial cell search, in the first step, slot synchronization is performed by detecting the first receive timing TP1 (step S401). Based on the slot synchronization result, phase error detector FC detects the phase error between the slots of the P-SCH channel and frequency control is performed (step S404).

[0052]

In the second step (step S402) of the initial cell search, frame synchronization and identification of the scramble code group are performed. In the third step (step S403), the scramble code is identified.

[0053]

After the scramble code is identified, frequency control based on common pilot channel CPICH is carried out (step S405), then transmission and reception are carried out using a good local oscillation frequency (step S406). The frequency control method based on common pilot channel CPICH is to determine the phase error between the received signal and the symbols or slots of the CPICH channel and output the result to frequency controller 240 shown in Figure 1

to control the frequency. It is also possible to use another common control channel instead of common pilot channel CPICH.

[0054]

The conventional initial cell search and frequency control will be explained based on Figure 19. During the initial cell search, the first step (step S1801), the second step (S1802), and the third step (step S1803) are carried out in the same way as in the first embodiment. After the initial cell search is completed, frequency control based on common pilot channel CPICH is carried out, followed by transmission and reception. In other words, the conventional technology is unable to control the frequency if the initial cell search has not been completed.

[0055]

On the other hand, in the first embodiment, frequency control can be started once the first step of the initial cell search is completed. When it is carried out in parallel with the second step, the cell misdetection rate of the initial cell search can be reduced, and the frequency can be adjusted immediately once the initial cell search is completed. This can be referred to as real-time frequency adaptive control.

[0056]

Figure 16 is a block diagram illustrating matched filter MF. Matched filter MF performs "fast correlation of hierarchical correlation sequence." It can calculate the sum of products hierarchically and obtain the expected result for the sum of products. Matched filter MF shown in Figure 16 is formed by connecting matched filter MF1 of the first hierarchy and matched filter MF2 of the second hierarchy in series. However, it is possible to connect more matched filters in series in a hierarchical manner.

[0057]

Matched filter MF1 is equipped with  $m$  multipliers  $M11-M1m$ , delay circuits  $D11-D1, m-1$  that sequentially delay received signal  $Sin$  and input it into multipliers  $M12-M1m$ , and adder  $ADD1$  that sums the outputs of multipliers  $M11-M1m$ .

[0058]

On the other hand, matched filter MF2 has  $m$  multipliers  $M21-M2m$ , delay circuits  $D21-D2, m-1$  that sequentially delay the outputs of matched filter MF1 and inputs them to multipliers  $M22-M2m$ , and adder  $ADD2$  that sums the outputs of multipliers  $M21-M2m$ .

[0059]

When received signal  $\text{Sin}$  is expressed as  $\text{Sin}(i)$ , which is a discrete time series signal, the output  $\text{Spsc}[i]$  of matched filter MF can be expressed by formula (5). Here, the first synchronization code PSC is the hierarchical correlation sequence and is composed of sequence  $P[j]$  ( $j=0 - m-1$ ) and sequence  $C[j]$  ( $j=0 - m-1$ ). In the explanation, sequence  $P[j]$  and sequence  $C[j]$  has the same period, but the periods can be different.

[0060]

Mathematical Formula 4

$$\text{Spsc}[i] = \sum_{j=0}^{m \times m-1} \text{Sin}(i+j) \times P(j \bmod m) \times C(j \bmod m) \quad (5)$$

In this embodiment, a hierarchical configuration was explained. However, it is possible to use matched filters with another configuration.

[0061]

Figure 17 is a block diagram illustrating sliding correlation unit SC. Plural sliding correlators  $\text{SC1-SCz}$  are connected in parallel with respect to received signal  $\text{Sin}$ . Said sliding correlators  $\text{SC1-SCz}$  correlate the second synchronization (search) codes  $\text{SSC}[1], \text{SSC}[2], \dots, \text{SSC}[z]$  and the received signal  $\text{Sin}$ .

[0062]

Figure 18 shows a typical sliding correlator  $\text{SC1}$ . Sliding correlator  $\text{SC1}$  performs the correlation operation for in-phase component  $\text{SinI}$  and orthogonal component  $\text{SinQ}$  of the received signal.

[0063]

Sliding correlator  $\text{SC1}$  has multipliers  $\text{MI1}$  and  $\text{MI2}$  for I component  $\text{SinI}$  of the received signal. Multiplier  $\text{MI1}$  sequentially multiplies the received signal  $\text{SinI}$  of the time series with the I components  $\text{SSCI}[1] - \text{SSCI}[z]$  of the second synchronization codes  $\text{SSC}[1]-\text{SSC}[z]$ . Multiplier  $\text{MI2}$  sequentially multiplies the received signal  $\text{SinI}$  of the time series with the Q components  $\text{SSCQ}[1] - \text{SSCQ}[z]$  of the second synchronization codes  $\text{SSC}[1] - \text{SSC}[z]$ .

[0064]

Sliding correlator  $\text{SC1}$  also has multipliers  $\text{MQ1}$  and  $\text{MQ2}$  for Q component  $\text{SinQ}$  of the received signal. Multiplier  $\text{MQ1}$  sequentially multiplies the received signal  $\text{SinQ}$  of the time

series with the Q components  $SSCQ[1] - SSCQ[z]$  of the second synchronization codes  $SSC[1] - SSC[z]$ . Multiplier MQ2 sequentially multiplies the received signal  $SinQ$  of the time series with the I components  $SSCI[1] - SSCI[z]$  of the second synchronization codes  $SSC[1]-SCC[z]$ . The output of multiplier MI1 and the output of multiplier MQ1 are added by adder ADDI, and its output is input into integration/damping circuit INDI to calculate the correlation result  $AI[1]$ . The outputs of multipliers MQ2 and MI2 are subtracted by subtractor ADDQ, and its output is input into integration/damping circuit INDQ to calculate the correlation result  $AQ[1]$ .

[0065]

The second synchronization code is generated by spread code generating circuit SCG.

[0066]

Second embodiment

[0067]

Figure 5 is a block diagram illustrating the cell search block in a second embodiment of the present invention as well as the connections of the cell search block that involve the FC block and AFC block. The entire configuration of the mobile station (Figure 1) is the same as that in the first embodiment. Only the connections of the cell search block involving the FC block and the AFC block are different from those of the first embodiment.

[0068]

In Figure 5, only the connections of the cell search block and the phase error detector FC are different from those of the first embodiment, while the rest of the constituent parts are the same. Consequently, except for phase error detector FC, the symbols shown in Figure 1 are used to represent the same constituent parts, so that their explanation will not be repeated.

[0069]

Only the output of matched filter MF and the output of correlated power calculator PW are connected to phase error detector FC. The phase error detector is not connected to timing detection processor.

[0070]

Figure 6 is a block diagram illustrating the phase error detector FC of the second embodiment along with the matched filter MF and correlated power calculator PW.

[0071]

Phase error detector FC has a peak detector 610 into which the output of correlated power calculator PW that calculates the correlated power (signal power) of matched filter output Spsc is input. Peak detector 610 compares the correlated power calculated by correlated power calculator PW with a threshold value. The peak position is equivalent to the first reception timing detected by timing detection processor.

[0072]

The output of peak detector 610 is input to clock generator 620. Clock generator 620 generates clock CLK2 continuously at the timing of the peak position. Clock CLK2 is equivalent to clock CLK1.

[0073]

Phase error detector FC also has sample-and-hold circuits 630, 640 in two stages. Said sample-and-hold circuits 630, 640 are synchronized with clock CLK2 to hold matched filter output Spsc. The outputs of sample-and-hold circuits 630, 640 are input into inter-slot phase error detector 650.

[0074]

One output Spsc is held in sample-and-hold circuit 630 at a slot timing and is sent to sample-and-hold circuit 640 at the next slot timing. Then, correlation output Spsc is held at a new slot timing.

[0075]

Consequently, sample-and-hold circuit 640 outputs the correlation output Spsc to inter-slot phase error detector 650 one slot after sample-and-hold circuit 630.

[0076]

In this way, the correlation outputs at the peak positions of two consecutive slots are input in parallel to inter-slot phase error detector 650.

[0077]

Inter-slot phase error detector 650 detects the phase error by means of delay detection in the same way as inter-slot phase error detector 320 in the first embodiment and inputs the reference signal to frequency controller 240. Frequency controller 240 generates the control signal for temperature-compensated crystal oscillator 250 (Figure 1) based on the reference

signal and adjusts the local oscillation frequency of the mobile station appropriately to eliminate the frequency deviation corresponding to the phase error.

[0078]

If the peak position is detected without using timing detection processor as described above, frequency control can be started before the end of the first step (slot synchronization) of the initial cell search so that the frequency can be obtained earlier. In this way, it is possible to prevent cell misdetection caused by frequency deviation.

[0079]

Figure 7 is a flow chart illustrating the processing of the second embodiment.

[0080]

In the initial cell search, the first step (slot synchronization: step S701), the second step (frame synchronization and identification of the scramble code group: step S702), and the third step (identification of the scramble code: step S703) are carried out sequentially. During the first step, the peak of the matched filter output is detected for each slot (step S704). The phase error between the slots for the signal after inverse spread at the detected peak point is detected, and frequency control is performed (step S705).

[0081]

After the scramble code is identified, frequency control based on common pilot channel CPICH is carried out (step S706). Transmission and reception is then carried out using a good local oscillation frequency (step S707). It is also possible to use another common control channel instead of common pilot channel CPICH.

### Third embodiment

[0082]

Figure 8 is a block diagram illustrating the cell search block in a third embodiment of the present invention as well as the connections of the cell search block involving the FC block and AFC block. The entire configuration of the mobile station (Figure 1) is the same as that in the first embodiment. Only the connections of the cell search block involving the FC block are different from those of the first embodiment.

[0083]

In Figure 8, the connections of the cell search block involving the phase error detector FC are different from those of the first embodiment, while those involving the rest of the constituent parts are the same. Consequently, except for error detector FC, the same symbols shown in Figure 1 are used to represent the same parts so that their explanation will not be repeated.

[0084]

Only the output of matched filter MF1 in the first hierarchy of matched filter MF (with appended symbol "Spc") is connected to phase error detector FC, which is not connected to timing detection processor.

[0085]

Figure 9 is a block diagram illustrating phase error detector FC of the third embodiment along with matched filter MF.

[0086]

Phase error detector FC comprises correlated power calculator 900, into which the output Spc of matched filter MF1 in the first hierarchy is input, and peak detector 910, into which the output of said correlated power calculator 900 is input. Correlated power calculator 900 calculates the signal power (absolute value) of output Spc to determine the correlated power. Peak detector 910 compares the correlated power calculated by correlated power calculator 900 with a threshold value to detect its peak position.

[0087]

In Figure 10, if the number of taps of matched filter MF1 is m, the interval Tslot of the peak of the output Spc of matched filter MF1 is equal to Tslot/m.

[0088]

The output of peak detector 910 is input into clock generator 920. Clock generator 920 continuously generates clock CLK3 at the timing of the peak position.

[0089]

As shown in Figure 10, plural (m) correlation peaks can be detected from the output Spc of MF1 during 1 symbol period of the first synchronization channel P-SCH. Since the interval between the correlation peaks (Tslot1) is within 1 symbol, it is called sub-symbol in this case.

[0090]

Phase error detector FC also has sample-and-hold circuits 930, 940 in two stages. Said sample-and-hold circuits 930, 940 are synchronized with clock CLK3 to hold output Spc. The outputs of sample-and-hold circuits 930 and 940 are input into inter-subsymbol phase error detector 950.

[0091]

One output Spc is held in sample-and-hold circuit 930 at one sub-symbol timing and is sent to sample-and-hold circuit 940 at the next sub-symbol timing. Then, correlation output Spc is held at a new sub-symbol timing.

[0092]

Consequently, sample-and-hold circuit 940 outputs the correlation output Spc to inter-subsymbol phase error detector 950 one sub-symbol at a time downstream of sample-and-hold circuit 300.

[0093]

In this way, correlation outputs at the peak positions of two consecutive sub-symbols are input in parallel to inter-subsymbol phase error detector 950.

[0094]

In the same way as inter-slot phase error detector 320 of the first embodiment, inter-subsymbol phase error detector 950 detects phase errors by means of delay detection and inputs a reference signal into frequency controller 240. Frequency controller 240 generates a control signal for temperature-compensated crystal oscillator 250 based on the reference signal and adjusts the local oscillation frequency of the mobile station appropriately to eliminate frequency deviation. In this case, since a sub-symbol is within one symbol, it is also possible to detect the phase error between sub-symbols by interpolating sub-symbols from plural sub-symbols.

[0095]

If the peak position of output Spc of the matched filter MF1 in the first hierarchy is detected as described above without using timing detection processor, the frequency can be adjusted earlier than that in the second embodiment. In this way, cell misdetection caused by frequency deviation can be prevented.

[0096]

Also, since period Tslot1 is as short as  $1/m$  of Tslot, the detected phase errors become smaller compared with those in the first and second embodiments based on matched filter output Spsc, so that the possibility that said error will appear in the adjustable range is greater. Consequently, the frequency is easily adjusted. The frequency adjustment range is within the normal phase difference ( $\pm\pi/4$ ). If the error is outside this range, another parameter will be required to determine the adjustment direction.

[0097]

In general, there is a high probability of a large frequency deviation immediately after reception is initiated in the mobile station. In most cases, it is preferred to control the frequency depending on the output Spc of matched filter MF1 in the first hierarchy in the third embodiment.

[0098]

If the operation by correlated power calculator 900 is performed by correlated power calculator PW, correlated power calculator 900 can be omitted.

[0099]

Figure 11 is a flow chart illustrating the processing in the third embodiment.

[0100]

During the initial cell search, the first step (slot synchronization: step S1001), the second step (frame synchronization and identification of the scramble code group: step S1002), and the third step (identification of the scramble code: step S1003) are carried out sequentially. During the first step, the correlation output for the output of matched filter MF1 is output (step S1004), and the correlation peak of MF1 for each slot is detected (step S1005). In this case, the phase error between plural correlation peaks in one symbol is detected, and frequency control is performed (step S1006).

[0101]

After the scramble code is identified, frequency control based on common pilot channel CPICH is carried out (step S1007). Transmission and reception is then carried out using a good local oscillation frequency (step S1008). It is also possible to use another common control channel instead of common pilot channel CPICH.

[0102]

In the third embodiment, only the output of MF1 is used. It is also possible to further divide MF2 into plural partially correlated matched filters, use their output (except for the final output of MF2) to detect the phase error between the sub-symbol correlation (partial correlation) outputs in the same way, and perform frequency adjustment based on said phase error.

#### Fourth embodiment

Figure 12 is a block diagram illustrating the cell search block in a fourth embodiment of the present invention as well as the connections of the cell search block involving the FC block and AFC block. The entire configuration of the mobile station (Figure 1) is the same as that in the first embodiment. Only the connections of the cell search block involving the FC block are different from those of the first embodiment.

[0103]

In Figure 12, the connections of the cell search block involving the phase error detector FC are different from those of the first embodiment, while the rest of the constituent parts are the same. Consequently, except for phase error detector FC, the symbols shown in Figure 1 are used to represent the same constituent parts and their explanation is omitted.

[0104]

The output Spc of matched filter MF1 in the first hierarchy of the matched filter MF and the output Spsc of matched filter MF are connected to phase error detector FC, which is not connected to timing detection processor.

[0105]

The fourth embodiment has a configuration that selectively embodies the second, third embodiments.

[0106]

Figure 13 is a block diagram illustrating the phase error detector FC of the fourth embodiment along with matched filter MF.

[0107]

Phase error detector FC comprises a multiplexer 1210, into which the output Spc of matched filter MF1 in the first hierarchy of the matched filter MF and the output Spsc of matched filter MF are input. The output of multiplexer 1210 is input to correlated power

calculator 1220; in other words, output Spsc or Spc is input selectively into correlated power calculator 1220. Correlated power calculator 1220 calculates the signal power (absolute value) of output Spsc or Spc to determine the correlated power. The same operation performed by said correlated power calculator PW is carried out by said correlated power calculator 1220.

[0108]

The output of correlated power calculator 1220 is input to peak detector 1230. Peak detector 1230 compares to the correlated power calculated by correlated power calculator 1220 with a threshold value to detect its peak position.

[0109]

The output of peak detector 1230 is input into clock generator 1240. The clock generator 1240 continuously generates clock CLK4 at the timing of the peak position. Clock CLK4 is the same as clock CLK2 or CLK3.

[0110]

Phase error detector FC also has sample-and-hold circuits 1250, 1260 in two stages. Said sample-and-hold circuits 1250, 1260 are synchronized with clock CLK4 to hold output Spsc or Spc. The outputs of sample-and-hold circuits 1250 and 1260 are input to inter-slot or inter-subsymbol phase error detector 1270.

[0111]

If output Spsc is selected in multiplexer 1210, clock generator 1240 generates clock CLK4 (CLK2) with a slot period approximately in the same way as described in the second embodiment. If output Spc is selected, it generates a clock CLK4 with a period of  $T_{slot1} = T_{slot}/m$ .

[0112]

The output of the multiplexer is held in sample-and-hold circuit 1250 at a slot or sub-symbol timing and is sent to sample-and-hold circuit 1260 at the next slot or sub-symbol timing. Then, correlation output Spsc or Spc is held at a new slot or sub-symbol timing. Consequently, sample-and-hold circuit 1260 outputs the correlation output Spsc or Spc to inter-slot or inter-subsymbol phase error detector 1270 at a time downstream of one slot or sub-symbol sample-and-hold circuit 1250.

[0113]

In this way, correlation outputs at the peak positions of two consecutive sub-symbols are input in parallel to inter-slot or inter-subsymbol phase error detector 1270.

[0114]

Inter-slot or inter-subsymbol phase error detector 1270 detects the phase error by means of delay detection in the same way as inter-slot phase error detector 320 in the first embodiment and inputs a reference signal to frequency controller 240. Frequency controller 240 generates the control signal for temperature-compensated crystal oscillator 250 (Figure 1) based on the reference signal and adjusts the local oscillation frequency of the mobile station appropriately to eliminate the frequency deviation corresponding to the phase error.

[0115]

If outputs Spsc, Spc are used selectively for frequency control as described above, frequency control that is optimal for a given situation can be realized. For example, since the frequency deviation is relatively high immediately after transmission/reception of the mobile station is initiated, output Spc is used. Thereafter, output Spsc is used for frequency control. In this way, cell misdetection caused by frequency deviation can be prevented.

[0116]

Figure 14 is a flow chart illustrating the processing in the fourth embodiment.

[0117]

In the initial cell search, the first step (slot synchronization: step S1301), the second step (frame synchronization and identification of the scramble code group: step S1302), and the third step (identification of the scramble code: step S1303) are carried out sequentially. During the first step, a selection (step S1304) is made. Process control is then selectively directed to steps S1305, S1305 as the processing in the second embodiment or steps S1307, S1308, S1309 as the processing in the third embodiment.

[0118]

During the processing of the second embodiment, first, peak is detected in the matched filter output for each slot (step S1305). The phase error is detected between the slots for the signal obtained after inverse spread at the detected peak point, and frequency control is performed (step S1306).

[0119]

In the processing of the third embodiment, the correlation output for the output of matched filter MF1 is output (step S1307), and the correlation peak of MF1 for each slot is detected (step S1308). Then, the phase error between plural correlation peaks is detected, and frequency control is performed (step S1309).

[0120]

Then, the processing result of the second embodiment or the processing result of the third embodiment is selected (step S1310).

[0121]

After the scramble code is identified, frequency control based on common pilot channel CPICH is carried out (step S1311). Transmission and reception is then carried out using a good local oscillation frequency (step S1312). It is also possible to use another common control channel instead of common pilot channel CPICH.

[0122]

In the aforementioned embodiments, the phase error is detected by delay detection to generate the reference signal for frequency control. However, it is also possible to use another phase error detection method or frequency control method, for example, the method described by Y. Wang and T. Ottoson in "Initial Frequency Acquisition in W-CDMA" (IEEE Vehicle Technology Conference 1999).

[0123]

**Effect of the invention**

According to the present invention, it is possible to prevent cell misdetection caused by frequency deviation.

#### Brief description of the figures

Figure 1 is an overall block diagram illustrating the first embodiment of the mobile station in W-CDMA communication system disclosed in the present invention.

Figure 2 is a block diagram of the cell search block and the connections involving the AFC block shown in Figure 1.

Figure 3 is a block diagram illustrating the phase error detector shown in Figure 2.

Figure 4 is a flow chart illustrating the first embodiment of the frequency control method disclosed in the present invention.

Figure 5 is a block diagram of the cell search block and the connections involving the AFC block in the second embodiment of the mobile station.

Figure 6 is a block diagram illustrating the phase error detector in Figure 5.

Figure 7 is a flow chart illustrating the second embodiment of the frequency control method disclosed in the present invention.

Figure 8 is a block diagram of the cell search block and the connections involving AFC block in the third embodiment of the mobile station.

Figure 9 is a block diagram illustrating the phase error detector in Figure 8.

Figure 10 is a diagram comparing the output Sp<sub>c</sub> of matched filter MF and the output Sp<sub>c</sub> of matched filter MF1 in the first hierarchy.

Figure 11 is a flow chart illustrating the third embodiment of the frequency control method disclosed in the present invention.

Figure 12 is a block diagram of the cell search block and the connections involving the AFC block in the fourth embodiment of the mobile station.

Figure 13 is a block diagram illustrating the phase error detector in Figure 12.

Figure 14 is a flow chart illustrating the fourth embodiment of the frequency control method disclosed in the present invention.

Figure 15 is a conceptual diagram illustrating the general transmitted signal frame configuration in the 3-step cell search method.

Figure 16 is a block diagram illustrating the matched filter in Figure 2.

Figure 17 is a block diagram illustrating the sliding correlation unit in Figure 2.

Figure 18 is a block diagram illustrating one sliding correlator in Figure 17.

Figure 19 is a flow chart illustrating the conventional frequency control method.

#### Explanation of symbols

CLK1, CLK2, CLK3, CLK4	Clocks
Gc[i, j]	Scramble code
PSC	First synchronization code
SSC[i]	Second synchronization code
MF	Matched filter
SC	Sliding correlation unit
AFC	Frequency controller
FC	Phase error detector
TDP	Timing detection processor
1210	Multiplexer
600, 900, 1220	Correlated power calculators

2312	Inverse spread demodulator
610, 910, 1230	Peak detectors
620, 920, 1240	Clock generators
300, 310, 630, 640, 930, 940, 1250, 1260	Sample-and-hold circuits
320, 650	Inter-slot phase error detectors
950	Inter-subsymbol phase error detector
1270	Inter-slot or inter-subsymbol phase error detector

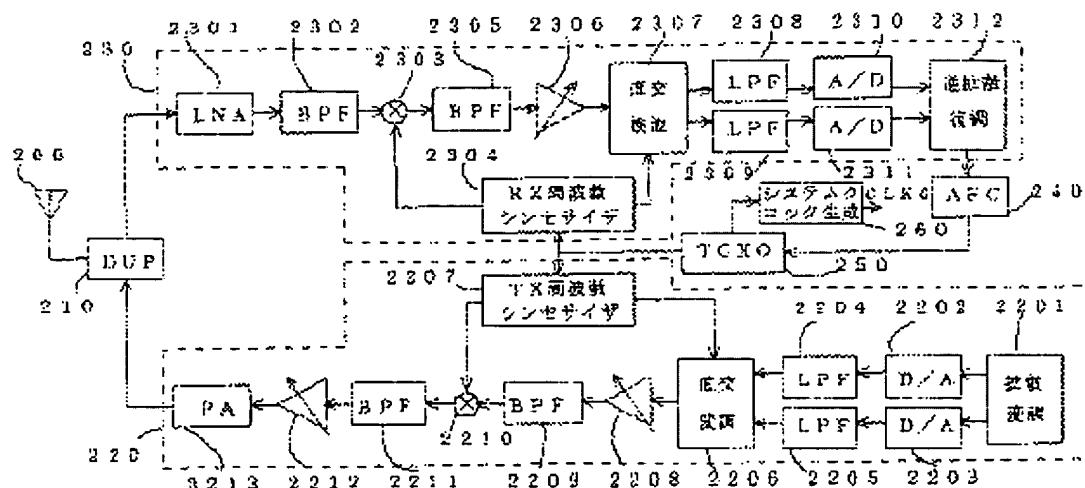


Figure 1

Key:

- 260 System clock generation
- 2201 Spread modulation
- 2206 Orthogonal modulation
- 2207 TX frequency synthesizer
- 2304 RX frequency synthesizer
- 2307 Orthogonal detection
- 2312 Inverse spread demodulation

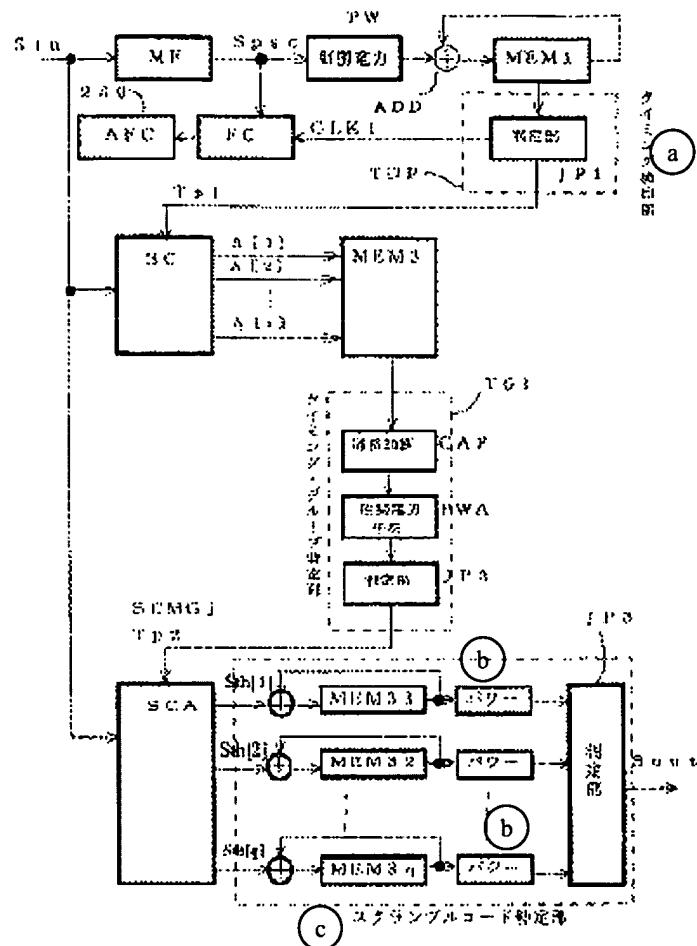


Figure 2

Key:	a	Timing detection processor
	b	Power
	c	Scramble code identification part
	PW	Correlated power
	JP1	Judgment unit
	TG1	Timing group specification unit
	CAP	In-phase addition
	PWA	Correlated power average
	JP2	Judgment unit
	JP3	Judgment unit

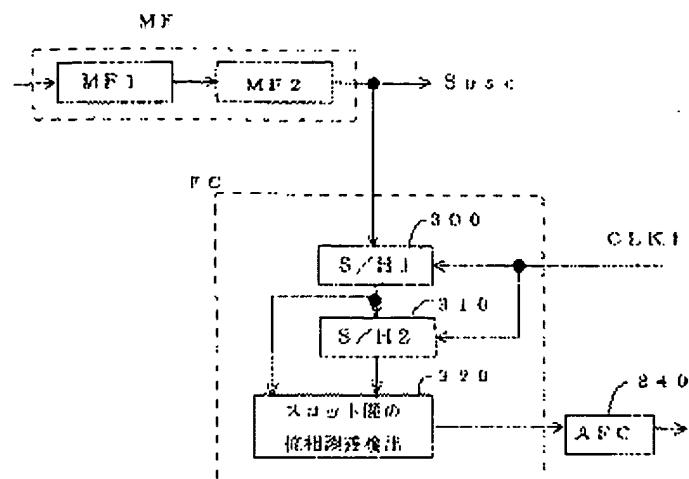


Figure 3

Key: 320 Detection of inter-slot phase error

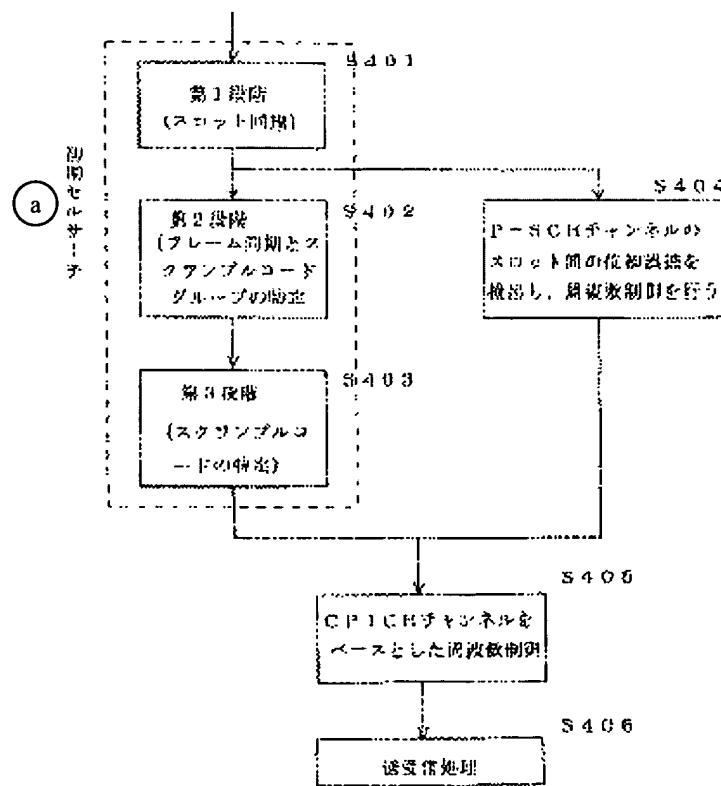


Figure 4

Key: a Initial cell search

S401 First step (slot synchronization)  
 S402 Second step (frame synchronization and identification of scramble code group)  
 S403 Third step (identification of scramble code)  
 S404 Detect phase error between the slots of P-SCH channel and perform frequency control  
 S405 Control frequency based on CPICH channel  
 S406 Transmission and reception

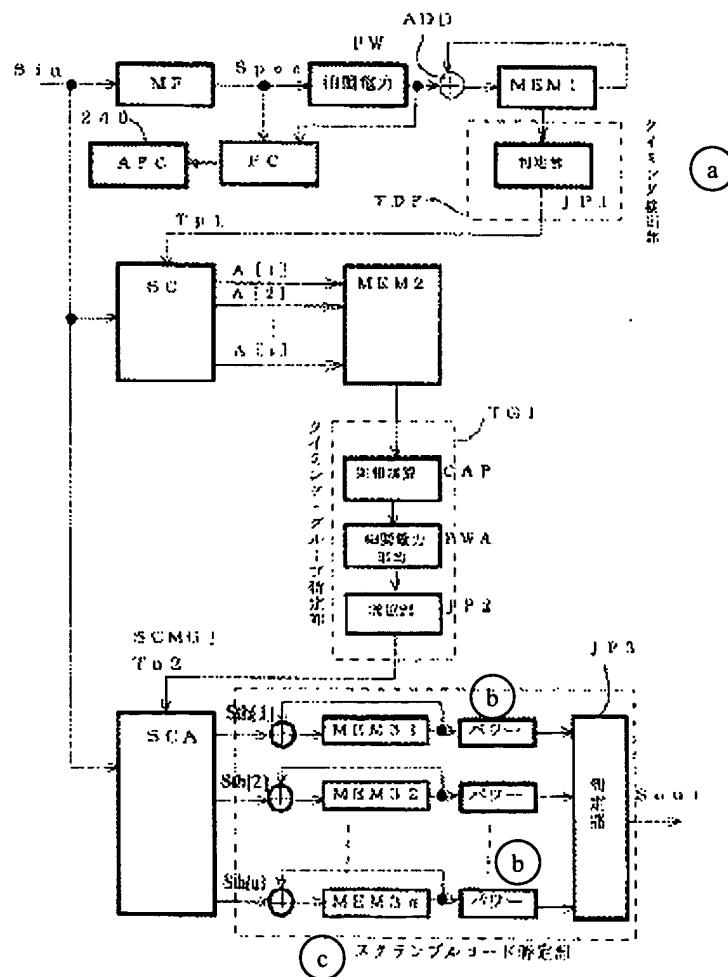


Figure 5

Key: a Timing detection processor  
 b Power  
 c Scramble code identification part  
 PW Correlated power  
 JP1 Judgment unit  
 TG1 Timing group specification unit  
 CAP In-phase addition

PWA Correlated power average  
 JP2 Judgment unit  
 JP3 Judgment unit

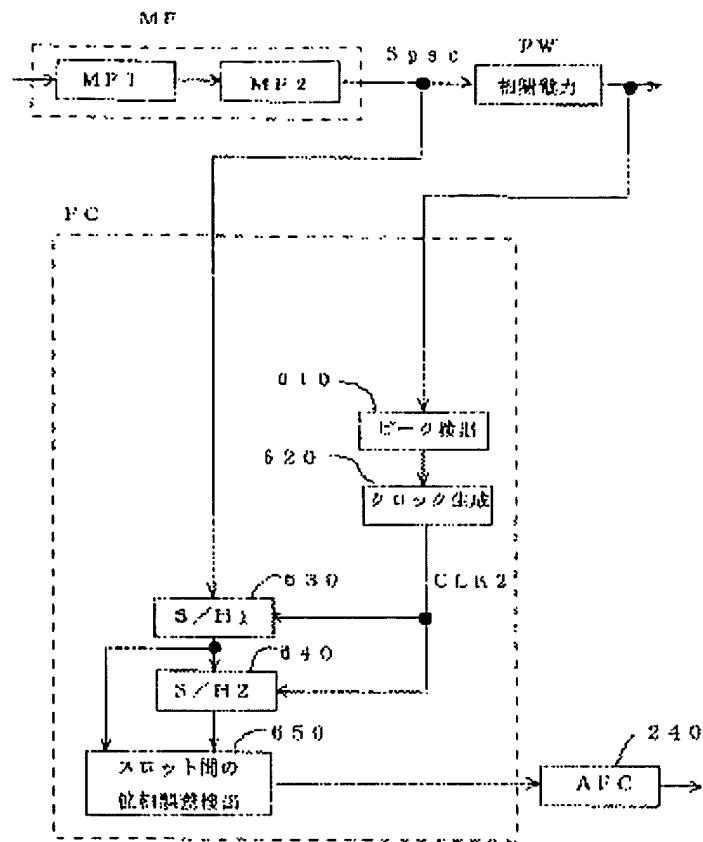


Figure 6

Key:

- PW Correlated power
- 610 Peak detection
- 620 Clock generation
- 650 Detection of inter-slot phase error

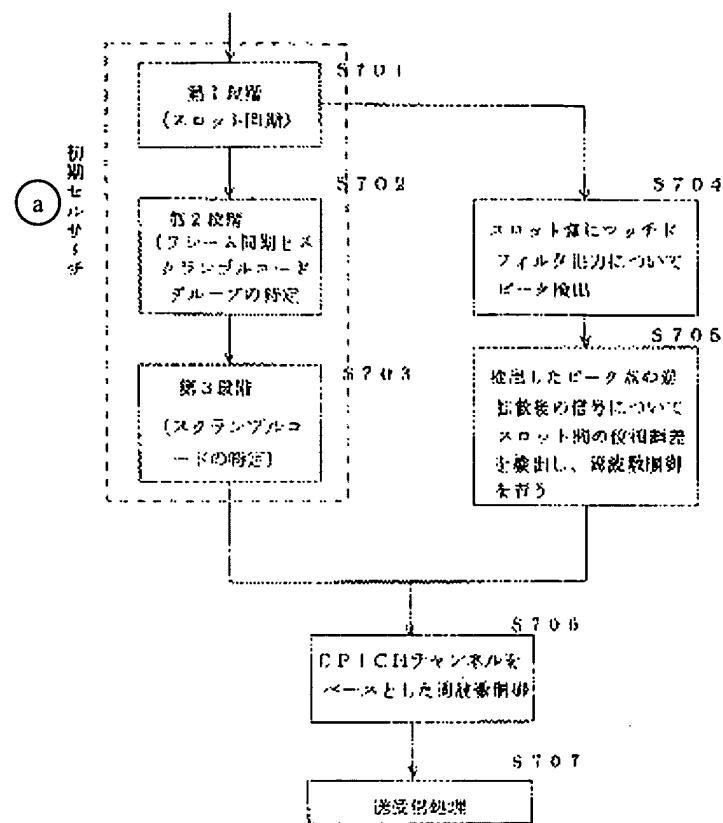


Figure 7

Key: a Initial cell search

- S701 First step (slot synchronization)
- S702 Second step (frame synchronization and identification of scramble code group)
- S703 Third step (identification of scramble code)
- S704 Detect the peak in the matched filter output for each slot
- S705 Detect the phase error between the slots for the signal obtained after inverse spread at the detected peak point, perform frequency control
- S706 Control frequency based on CPICH channel
- S707 Transmission and reception

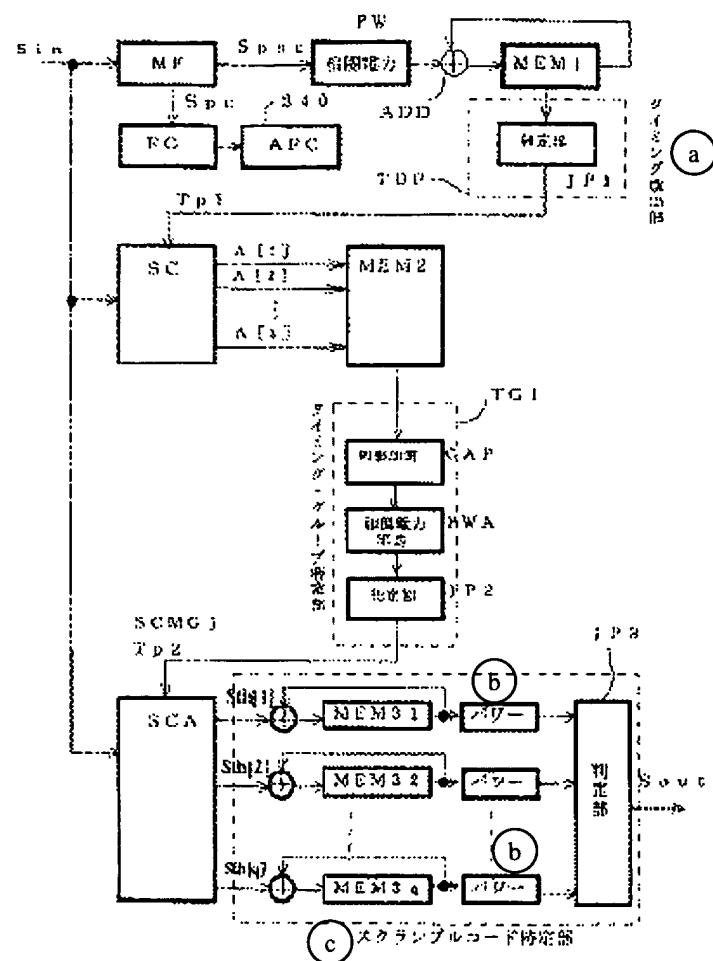


Figure 8

Key:

- a Timing detection
- b Power
- c Scramble code identification part
- PW Correlated power
- JP1 Judgment unit
- TG1 Timing group specification unit
- CAP In-phase addition
- PWA Correlated power average
- JP2 Judgment unit
- JP3 Judgment unit

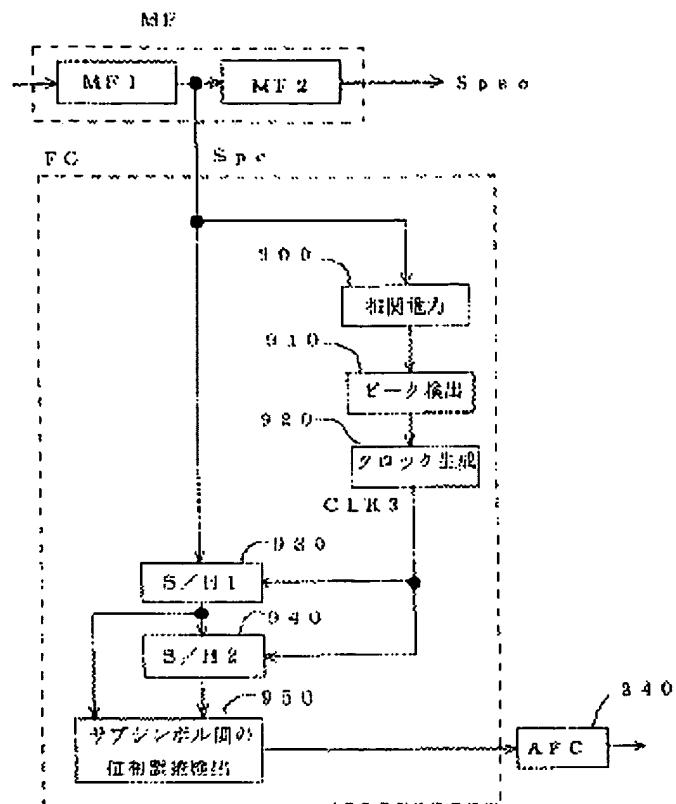


Figure 9

Key: 900 Correlated power  
 910 Peak detection  
 920 Clock generation  
 950 Detect phase error between sub-symbols

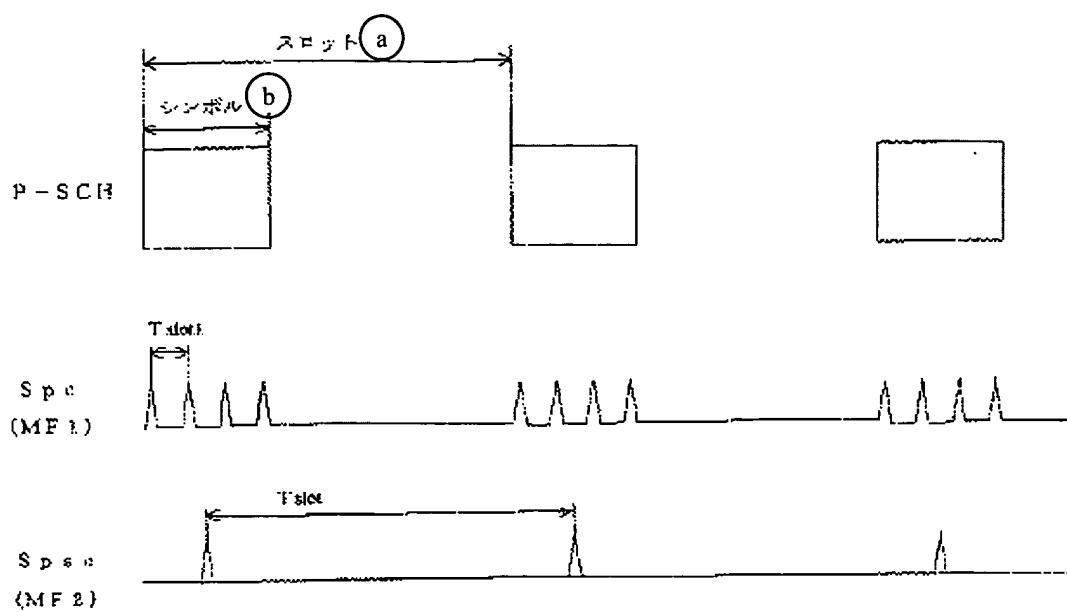


Figure 10

Key: a Slot  
b Symbol

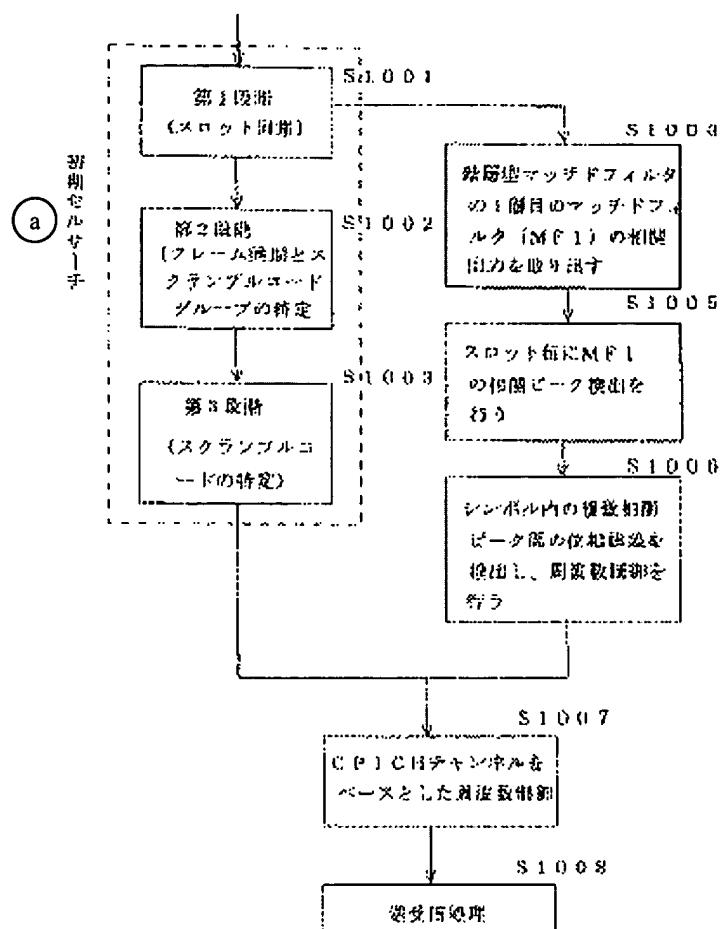


Figure 11

Key: a Initial cell search

S1001 First step (slot synchronization)

S1002 Second step (frame synchronization and identification of scramble code group)

S1003 Third step (identification of scramble code)

S1004 Output the correlation output of matched filter (MF1) in the first hierarchy of the hierarchical matched filter

S1005 Detect the correlation peak of MF1 for each slot

S1006 Detect the phase error between the plural correlation peaks in the symbol

S1007 Control frequency based on CPICH channel

S1008 Transmission and reception

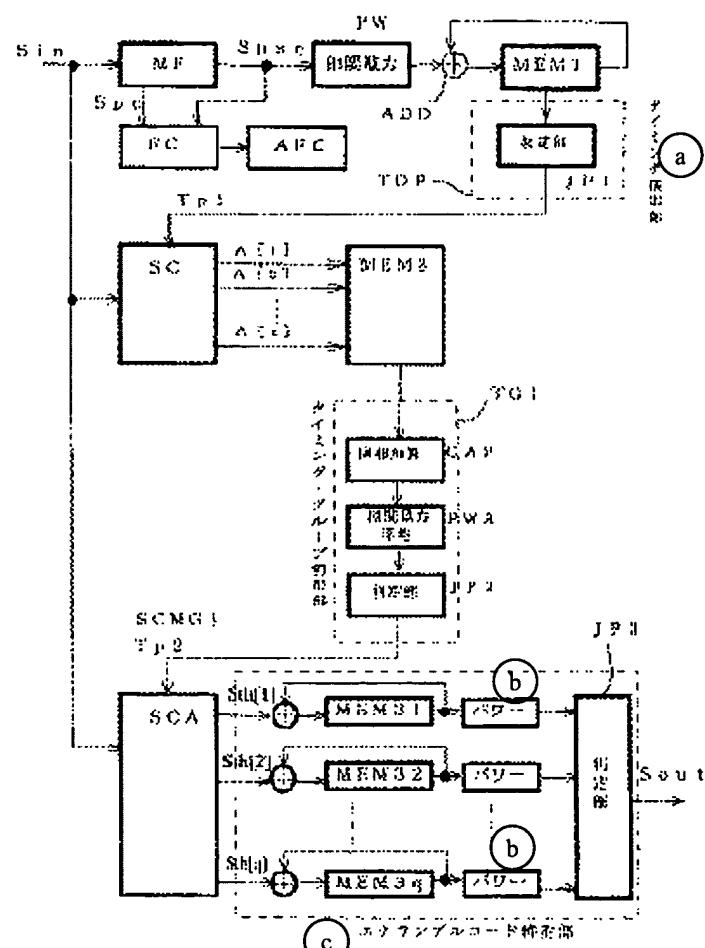


Figure 12

Key:	a	Timing detection processor
	b	Power
	c	Scramble code identification part
	PW	Correlated power
	JP1	Judgment unit
	TG1	Timing group specification unit
	CAP	In-phase addition
	PWA	Correlated power average
	JP2	Judgment unit
	JP3	Judgment unit

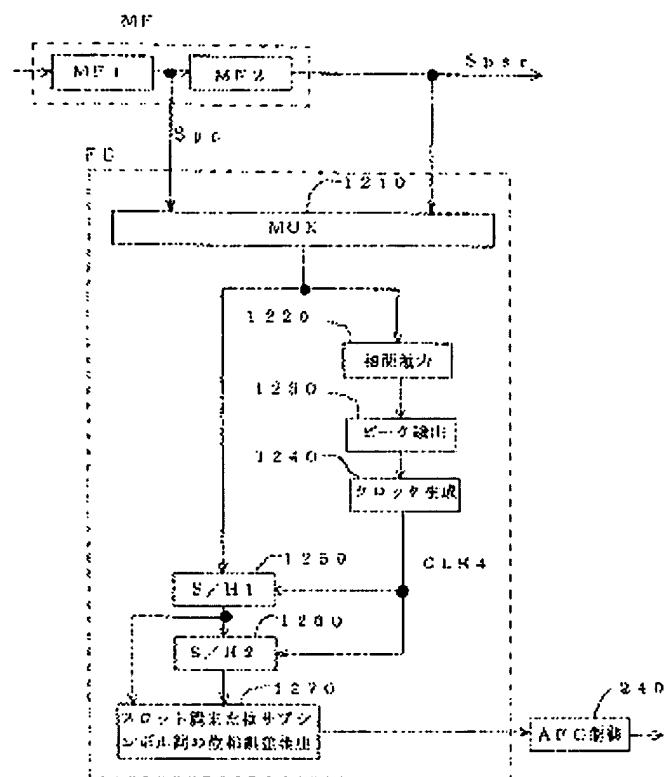


Figure 13

Key:

- 1220 Correlated power
- 1230 Peak detection
- 1240 Clock generation
- 1270 Detect inter-slot or inter-subsymbol phase error
- 240 AFC control

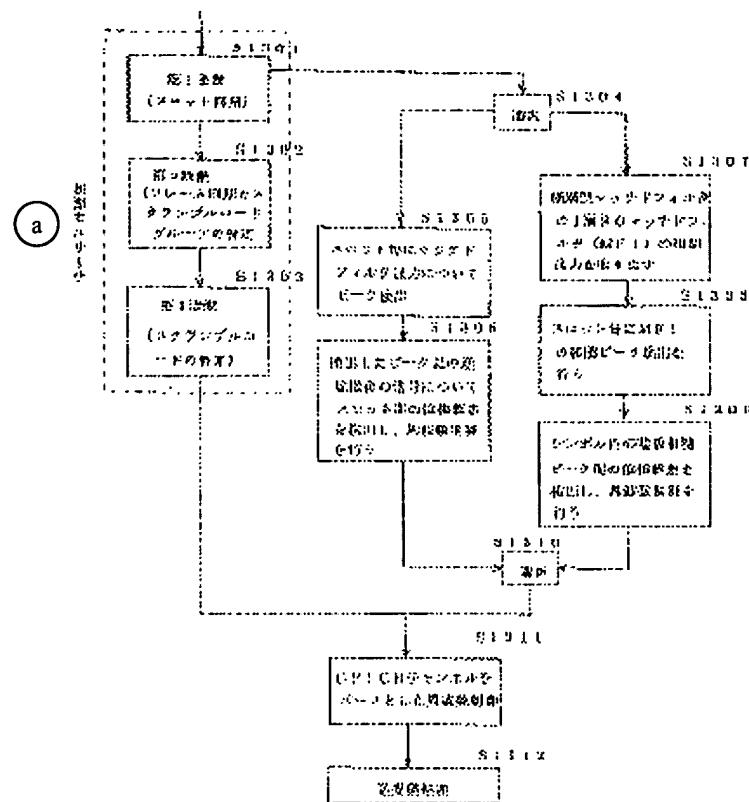


Figure 14

Key: a Initial cell search

- S1301 First step (slot synchronization)
- S1302 Second step (frame synchronization and identification of scramble code group)
- S1303 Third step (identification of scramble code)
- S1304 Select
- S1305 Detect peak in the matched filter output for each slot
- S1306 Detect the phase error between the slots in the signal obtained after inverse spread at the detected peak
- S1307 Detect the correlation output of the matched filter (MF1) in the first hierarchy of the hierarchical matched filter
- S1308 Detect correlation peak of MF1 for each slot
- S1309 Detect phase error between plural correlation peaks in a symbol, perform frequency control
- S1310 Select
- S1311 Control frequency based on CPICH channel
- S1312 Transmission and reception

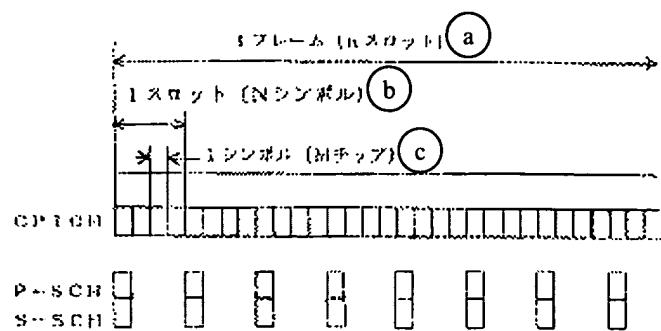


Figure 15

Key: a 1 frame (n slots)  
 b 1 slot (N symbols)  
 c 1 symbol (M tips)

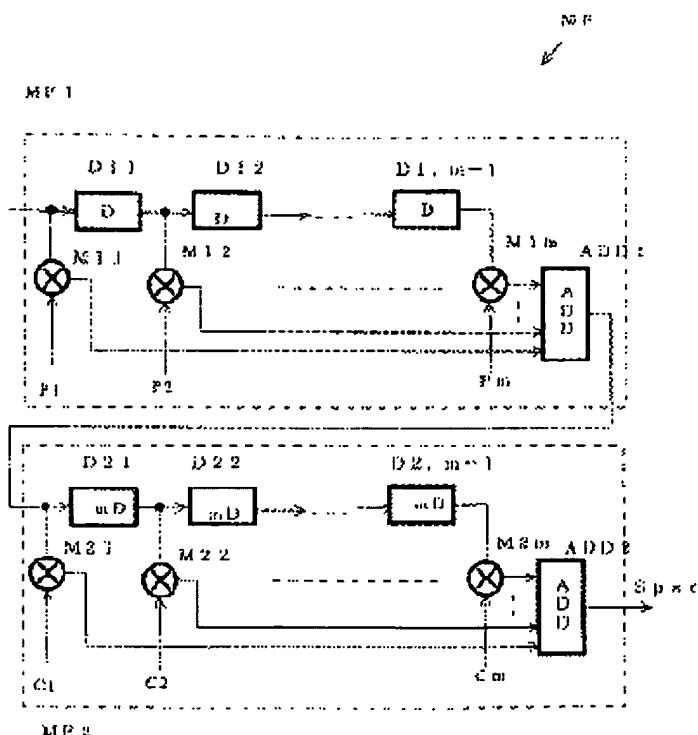


Figure 16

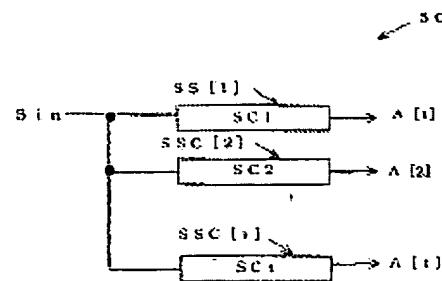


Figure 17

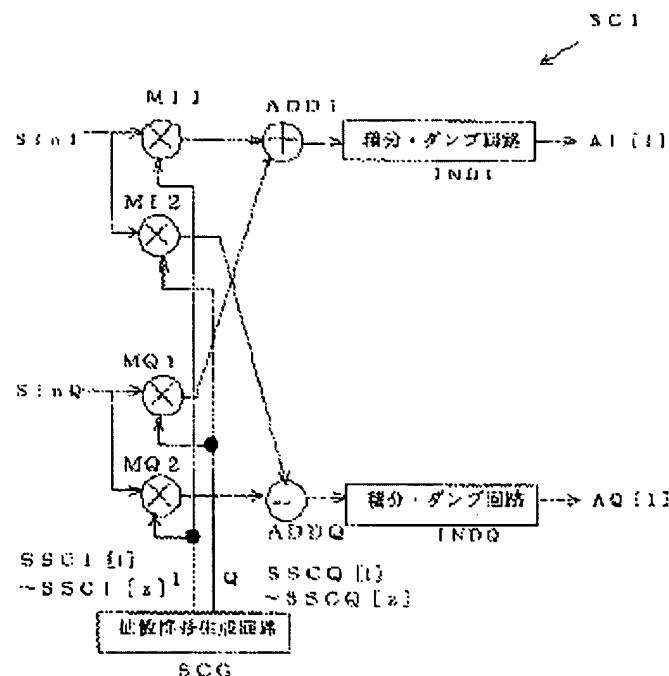


Figure 18

Key: AI[1] Integration/damping circuit

AQ[1] Integration/damping circuit

SCG Spread code generator

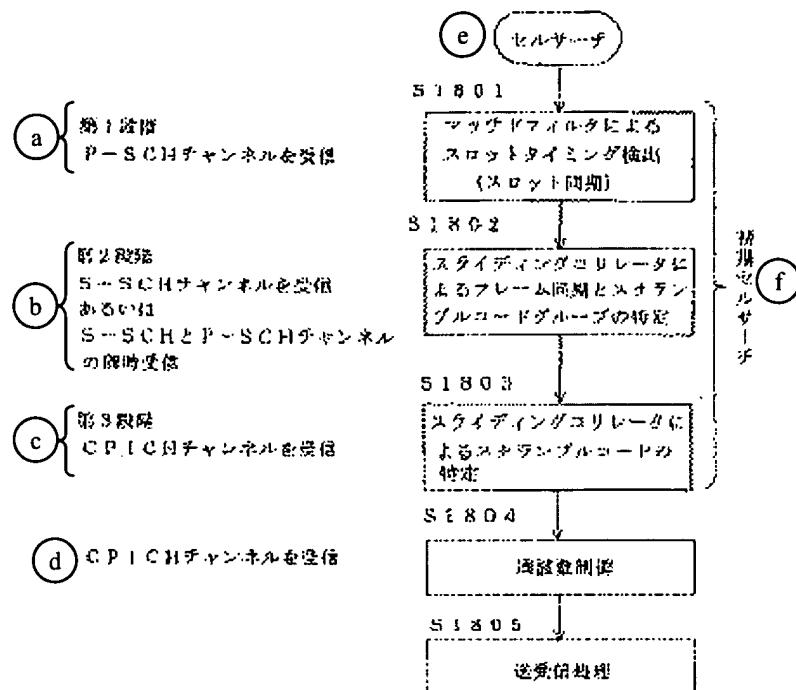


Figure 19

Key:

- a First step  
Receive P-SCH channel
- b Second step  
Receive S-SCH channel or  
Receive S-SCH and P-SCH channels at the same time
- c Third step  
Receive CPICH channel
- d Receive CPICH channel
- e Cell search
- f Initial cell search

S1801 Detect slot timing with matched filter (slot synchronization)  
 S1802 Frame synchronization and identification of scramble code group performed by sliding correlator  
 S1803 Identify scramble code by using sliding correlator  
 S1804 Adjust frequency  
 S1805 Transmission and reception

(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開2002-353859

(P2002-353859A)

(43)公開日 平成14年12月6日 (2002.12.6)

(51)Int.Cl.<sup>7</sup>  
H 04 B 1/707  
H 04 L 7/00  
H 04 Q 7/38

識別記号

F I  
H 04 L 7/00  
H 04 J 13/00  
H 04 B 7/26

テマコード(参考)  
C 5 K 0 2 2  
D 5 K 0 4 7  
1 0 9 N 5 K 0 6 7

審査請求 未請求 請求項の数10 O L (全 19 頁)

(21)出願番号

特願2001-159907(P2001-159907)

(22)出願日

平成13年5月29日 (2001.5.29)

(71)出願人 000127178

株式会社鷹山

東京都世田谷区北沢3-5-18

(72)発明者 周長明

東京都世田谷区北沢3丁目5番18号 株式会社鷹山内

(74)代理人 100079832

弁理士 山本誠

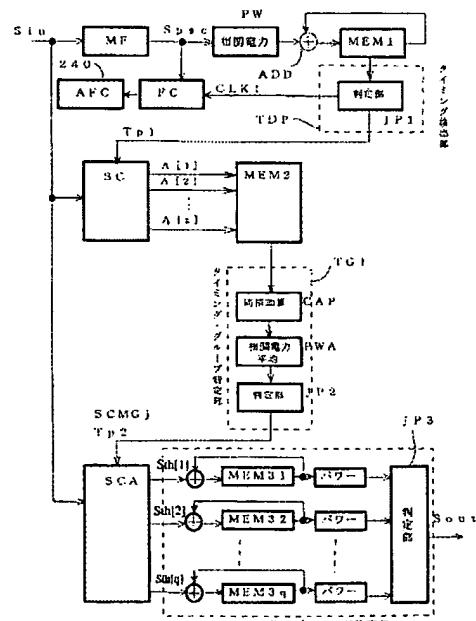
最終頁に続く

(54)【発明の名称】 W-CDMA通信方式の周波数制御方法および移動局

(57)【要約】

【目的】 3段階セルサーチ方式の回路を実現し得る、初期セルサーチ方法および初期セルサーチのための回路を提供する。

【構成】 受信信号S inが入力されるマッチドフィルタMFおよびスライディングコリレータ部SCが設けられ、マッチドフィルタMFは受信信号S inと第1同期コードPSCとの相関演算を行い、その出力SpscはメモリMEM1で保持された後、タイミング検出部TD Pによって処理される。スライディングコリレータ部SCは複数のスライディングコリレータSC1～SCzよりなり、その出力A[1]～A[z]はメモリMEM2で保持された後、タイミング・グループ特定部TG Iによって処理される。マッチドフィルタMFの最終出力または途中出力を位相誤差検出部FCに出力し、さらに位相誤差を周波数制御部AFCに出力する。



【特許請求の範囲】

【請求項1】 全ての基地局に共通の第1同期コード（サーチコード）と、基地局を特定するスクランブルコードとを設定し、これらスクランブルコードを複数のスクランブルコードグループに分け、各スクランブルコードグループを特定するための第2同期コード（サーチコード）の組み合せを設定し、基地局より、第1同期コードから構成される第1同期チャンネル（サーチチャンネル）および第2同期コードから構成される第2同期チャンネル（サーチチャンネル）を送信し、移動局では、受信信号に対して、第1同期コードを用いた相関演算を行い、この相関演算結果に基づいて第1受信タイミング（スロット同期）を検出するとともに、受信信号に対して、前記第1受信タイミングで第2同期コードを用いた相関演算を行い、この相関演算結果に基づいて第2受信タイミング（フレーム同期）を検出するとともに、スクランブルコードグループを特定する第2ステップと、特定されたスクランブルコードグループに含まれる複数のスクランブルコードを用いた相関演算を行い、1個のスクランブルコードを特定する第3ステップとによって初期セルサーチを実行し、これによって移動局が信号を受信すべき基地局を特定し、その後複数チャンネルによって移動局、基地局間の通信を行うW-C DMA通信方式における移動局の周波数制御方法において、第1ステップの完了後、第1同期コードによる相関演算結果のスロット間の位相誤差を検出し、この位相誤差に対応する周波数偏差を解消するように移動局の局部発振周波数を調整することを特徴とする周波数制御方法。

【請求項2】 全ての基地局に共通の第1同期コード（サーチコード）と、基地局を特定するスクランブルコードとを設定し、これらスクランブルコードを複数のスクランブルコードグループに分け、各スクランブルコードグループを特定するための第2同期コード（サーチコード）の組み合せを設定し、基地局より、第1同期コードから構成される第1同期チャンネル（サーチチャンネル）および第2同期コードから構成される第2同期チャンネル（サーチチャンネル）を送信し、移動局では、受信信号に対して、第1同期コードを用いた相関演算を行い、この相関演算結果の信号電力を巡回積分し、この巡回積分結果に基づいて第1受信タイミング（スロット同期）を検出するとともに、受信信号の逆拡散信号を生成する第1ステップと、受信信号に対して、前記第1受信タイミングで第2同期コードを用いた相関演算を行い、この相関演算結果に基づいて第2受信タイミング（フレーム同期）を検出するとともに、スクランブルコードグループを特定する第2ステップと、特定されたスクランブルコードグループに含まれる複数のスクランブルコードを用いた相関演算を行い、1個のスクランブルコードを特定する第3ステップとによって初期セルサーチを実行し、これによって移動局が信号を受信すべき基地局を特定し、その後複数チャンネルによって移動局、基地局間の通信を行うW-C DMA通信方式における移動局の周波数制御方法において、第1ステップの相関演算は、複数階層の直列なマッチドフィルタによって階層的に実行し、セルサーチの第1ステップの第1受信タイミング検出前に、前記マッチドフィルタの最終層以前の相関演算結果（以下「部分相関」という。）の信号電力のピークを検出し、このピークのタイミングで、複数ピーク位置における、部分相関間の位相誤差を検出し、この位相誤差に対応する周波数偏差を解消するように移動局の局部発振周波数を調整することを特徴とする周波数制御方法。

行し、これによって移動局が信号を受信すべき基地局を特定し、その後複数チャンネルによって移動局、基地局間の通信を行うW-C DMA通信方式における移動局の周波数制御方法において、

セルサーチの第1ステップの第1受信タイミング検出前に、前記相関演算結果の信号電力のピークを検出し、このピークのタイミングで複数ピーク位置における、相関出力の位相誤差を検出し、この位相誤差に対応する周波数偏差を解消するように移動局の局部発振周波数を調整することを特徴とする周波数制御方法。

【請求項3】 全ての基地局に共通の第1同期コード（サーチコード）と、基地局を特定するスクランブルコードとを設定し、これらスクランブルコードを複数のスクランブルコードグループに分け、各スクランブルコードグループを特定するための第2同期コード（サーチコード）の組み合せを設定し、基地局より、第1同期コードから構成される第1同期チャンネル（サーチチャンネル）および第2同期コードから構成される第2同期チャンネル（サーチチャンネル）を送信し、移動局では、受信信号に対して、第1同期コードを用いた相関演算を行い、この相関演算結果の信号電力を巡回積分し、この巡回積分結果に基づいて第1受信タイミング（スロット同期）を検出するとともに、受信信号の逆拡散信号を生成する第1ステップと、受信信号に対して、前記第1受信タイミングで第2同期コードを用いた相関演算を行い、この相関演算結果に基づいて第2受信タイミング（フレーム同期）を検出するとともに、スクランブルコードグループを特定する第2ステップと、特定されたスクランブルコードグループに含まれる複数のスクランブルコードを用いた相関演算を行い、1個のスクランブルコードを特定する第3ステップとによって初期セルサーチを実行し、これによって移動局が信号を受信すべき基地局を特定し、その後複数チャンネルによって移動局、基地局間の通信を行うW-C DMA通信方式における移動局の周波数制御方法において、

第1ステップの相関演算は、複数階層の直列なマッチドフィルタによって階層的に実行し、

セルサーチの第1ステップの第1受信タイミング検出前に、前記マッチドフィルタの最終層以前の相関演算結果（以下「部分相関」という。）の信号電力のピークを検出し、このピークのタイミングで、複数ピーク位置における、部分相関間の位相誤差を検出し、この位相誤差に対応する周波数偏差を解消するように移動局の局部発振周波数を調整することを特徴とする周波数制御方法。

【請求項4】 全ての基地局に共通の第1同期コード（サーチコード）と、基地局を特定するスクランブルコードとを設定し、これらスクランブルコードを複数のスクランブルコードグループに分け、各スクランブルコードグループを特定するための第2同期コード（サーチコード）の組み合せを設定し、基地局より、第1同期コード

ドから構成される第1同期チャンネル（サーチチャンネル）および第2同期コードから構成される第2同期チャンネル（サーチチャンネル）を送信し、移動局では、受信信号に対して、第1同期コードを用いた相関演算を行い、この相関演算結果の信号電力を巡回積分し、この巡回積分結果に基づいて第1受信タイミング（スロット同期）を検出するとともに、受信信号の逆拡散信号を生成する第1ステップと、受信信号に対して、前記第1受信タイミングで第2同期コードを用いた相関演算を行い、この相関演算結果に基づいて第2受信タイミング（フレーム同期）を検出するとともに、スクランブルコードグループを特定する第2ステップと、特定されたスクランブルコードグループに含まれる複数のスクランブルコードを用いた相関演算を行い、1個のスクランブルコードを特定する第3ステップとによって初期セルサーチを実行し、これによって移動局が信号を受信すべき基地局を特定し、その後複数チャンネルによって移動局、基地局間の通信を行うW-CDMA通信方式における移動局の周波数制御方法において、

第1ステップの相関演算は、複数階層の直列なマッチドフィルタによって階層的に実行し、第1ステップの第1受信タイミング検出前に、前記マッチドフィルタの最終層（以下「全相関」という。）または最終層以前の相関演算結果（以下「部分相関」という。）の信号電力のピークを検出し、このピークのタイミングで、複数ピーク位置における、全相関の位相誤差または部分相関の位相誤差を選択的に検出し、この位相誤差に対応する周波数偏差を解消するように移動局の局部発振周波数を調整する周波数制御方法。

【請求項5】 位相誤差を遅延検波によって算出することを特徴とする請求項1乃至4のいずれか1項に記載の周波数制御方法。

【請求項6】 全ての基地局に共通の第1同期コード（サーチコード）と、基地局を特定するスクランブルコードとを設定し、これらスクランブルコードを複数のスクランブルコードグループに分け、各スクランブルコードグループを特定するための第2同期コード（サーチコード）の組み合せを設定し、基地局より、第1同期コードから構成される第1同期チャンネル（サーチチャンネル）および第2同期コードから構成される第2同期チャンネル（サーチチャンネル）を送信し、移動局では、受信信号に対して、第1同期コードを用いた相関演算を行い、この相関演算結果に基づいて第1受信タイミング（スロット同期）を検出するとともに、受信信号の逆拡散信号を生成する第1ステップと、受信信号に対して、前記第1受信タイミングで第2同期コードを用いた相関演算を行い、この相関演算結果に基づいて第2受信タイミング（フレーム同期）を検出するとともに、スクランブルコードグループを特定する第2ステップと、特定されたスクランブルコードグループに含まれる複数のスクランブルコードを用いた相関演算を行い、1個のスクランブルコードを特定する第3ステップとによって初期セルサーチを実行し、これによって移動局が信号を受信すべき基地局を特定し、その後複数チャンネルによって移動局、基地局間の通信を行うW-CDMA通信方式における移動局において、

ランブルコードを用いた相関演算を行い、1個のスクランブルコードを特定する第3ステップとによって初期セルサーチを実行し、これによって移動局が信号を受信すべき基地局を特定し、その後複数チャンネルによって移動局、基地局間の通信を行うW-CDMA通信方式における移動局において、

第1ステップの相関演算を実行するマッチドフィルタと、

このマッチドフィルタの出力が入力され、その相関電力を計算する相関電力計算部と、

この相関電力計算部の出力が入力される加算器と、

この加算器の出力をスロット周期で保持するメモリに入力され、その出力が加算器に帰還され、これによって前記加算器によって相関電力を累積するメモリと、

このメモリの出力に基づいて第1受信タイミングを検出するタイミング検出部と、

このタイミング検出部で検出された第1受信タイミングで、前記マッチドフィルタの複数の出を取り込み、複数スロットの相関演算結果の位相誤差を検出する、位相誤差検出部と、

この位相誤差検出部によって検出された位相誤差に対応する周波数偏差を解消するように移動局の局部発振周波数を制御する周波数制御部と、

を備えたことを特徴とする移動局。

【請求項7】 全ての基地局に共通の第1同期コード（サーチコード）と、基地局を特定するスクランブルコードとを設定し、これらスクランブルコードを複数のスクランブルコードグループに分け、各スクランブルコードグループを特定するための第2同期コード（サーチコード）の組み合せを設定し、基地局より、第1同期コードから構成される第1同期チャンネル（サーチチャンネル）および第2同期コードから構成される第2同期チャンネル（サーチチャンネル）を送信し、移動局では、受信信号に対して、第1同期コードを用いた相関演算を行い、この相関演算結果に基づいて第1受信タイミング（スロット同期）を検出するとともに、受信信号の逆拡散信号を生成する第1ステップと、受信信号に対して、前記第1受信タイミングで第2同期コードを用いた相関演算を行い、この相関演算結果に基づいて第2受信タイミング（フレーム同期）を検出するとともに、スクランブルコードグループを特定する第2ステップと、特定されたスクランブルコードグループに含まれる複数のスクランブルコードを用いた相関演算を行い、1個のスクランブルコードを特定する第3ステップとによって初期セルサーチを実行し、これによって移動局が信号を受信すべき基地局を特定し、その後複数チャンネルによって移動局、基地局間の通信を行うW-CDMA通信方式における移動局において、

第1ステップの相関演算を実行するマッチドフィルタと、

このマッチドフィルタの出力が入力され、その相関電力を計算する相関電力計算部と、この相関電力計算部の出力が入力される加算器と、この加算器の出力をスロット周期で保持するメモリに入力され、その出力が加算器に帰還され、これによって前記加算器によって相関電力を累積するメモリと、このメモリの出力に基づいて第1受信タイミングを検出するタイミング検出部と、前記マッチドフィルタの出力が入力され、その相関電力を計算する相関電力計算部と、この相関電力計算部で算出された相関電力のピーク位置を検出するピーク検出部と、このピーク検出部で検出されたピーク位置のタイミングで前記マッチドフィルタの複数の出力を取り込み、複数スロットの相関演算結果の位相誤差を検出する、位相誤差検出部とを備えた周波数制御部と、この周波数制御部の位相誤差検出部によって検出された位相誤差に対応する周波数偏差を解消するように移動局の局部発振周波数を制御する周波数制御部と、を備えたことを特徴とする移動局。

【請求項8】 全ての基地局に共通の第1同期コード（サーチコード）と、基地局を特定するスクランブルコードとを設定し、これらスクランブルコードを複数のスクランブルコードグループに分け、各スクランブルコードグループを特定するための第2同期コード（サーチコード）の組み合せを設定し、基地局より、第1同期コードから構成される第1同期チャンネル（サーチチャンネル）および第2同期コードから構成される第2同期チャンネル（サーチチャンネル）を送信し、移動局では、受信信号に対して、第1同期コードを用いた相関演算を行い、この相関演算結果に基づいて第1受信タイミング（スロット同期）を検出するとともに、受信信号の逆拡散信号を生成する第1ステップと、受信信号に対して、前記第1受信タイミングで第2同期コードを用いた相関演算を行い、この相関演算結果に基づいて第2受信タイミング（フレーム同期）を検出するとともに、スクランブルコードグループを特定する第2ステップと、特定されたスクランブルコードグループに含まれる複数のスクランブルコードを用いた相関演算を行い、1個のスクランブルコードを特定する第3ステップとによって初期セルサーチを実行し、これによって移動局が信号を受信すべき基地局を特定し、その後複数チャンネルによって移動局、基地局間の通信を行うW-CDMA通信方式における移動局において、第1ステップの相関演算を実行する、複数階層の直列なマッチドフィルタと、これらマッチドフィルタの最終層のマッチドフィルタ出力が入力され、その相関電力を計算する相関電力計算部と、この相関電力計算部の出力が入力される加算器と、この加算器の出力をスロット周期で保持するメモリに入力され、その出力が加算器に帰還され、これによって前

力され、その出力が加算器に帰還され、これによって前記加算器によって相関電力を累積するメモリと、このメモリの出力に基づいて第1受信タイミングを検出するタイミング検出部と、前記最終層以前のマッチドフィルタの出力（以下「部分相関」という。）が入力され、その相関電力を計算する相関電力計算部と、この相関電力計算部で算出された相関電力のピーク位置を検出するピーク検出部と、このピーク検出部で検出されたピーク位置のタイミングで複数の部分相関を取り込み、複数ピーク位置の部分相関間の位相間誤差を検出する、位相誤差検出部とを備えた周波数制御部と、この周波数制御部の位相誤差検出部によって検出された位相誤差に対応する周波数偏差を解消するように移動局の局部発振周波数を制御する周波数制御部と、を備えたことを特徴とする移動局。

【請求項9】 全ての基地局に共通の第1同期コード（サーチコード）と、基地局を特定するスクランブルコードとを設定し、これらスクランブルコードを複数のスクランブルコードグループに分け、各スクランブルコードグループを特定するための第2同期コード（サーチコード）の組み合せを設定し、基地局より、第1同期コードから構成される第1同期チャンネル（サーチチャンネル）および第2同期コードから構成される第2同期チャンネル（サーチチャンネル）を送信し、移動局では、受信信号に対して、第1同期コードを用いた相関演算を行い、この相関演算結果に基づいて第1受信タイミング（スロット同期）を検出するとともに、受信信号の逆拡散信号を生成する第1ステップと、受信信号に対して、前記第1受信タイミングで第2同期コードを用いた相関演算を行い、この相関演算結果に基づいて第2受信タイミング（フレーム同期）を検出するとともに、スクランブルコードグループを特定する第2ステップと、特定されたスクランブルコードグループに含まれる複数のスクランブルコードを用いた相関演算を行い、1個のスクランブルコードを特定する第3ステップとによって初期セルサーチを実行し、これによって移動局が信号を受信すべき基地局を特定し、その後複数チャンネルによって移動局、基地局間の通信を行うW-CDMA通信方式における移動局において、

第1ステップの相関演算を実行する、複数階層の直列なマッチドフィルタと、これらマッチドフィルタの、最終層のマッチドフィルタ出力、および最終層以前のマッチドフィルタ出力が入力され、これら出力を逐一に出力するマルチプレクサと、前記最終層のマッチドフィルタの出力が入力され、その相関電力を計算する相関電力計算部と、この相関電力計算部の出力が入力される加算器と、この加算器の出力をスロット周期で保持するメモリに入力され、その出力が加算器に帰還され、これによって前

記加算器によって相関電力を累積するメモリと、このメモリの出力に基づいて第1受信タイミングを検出するタイミング検出部と、前記最終層のマッチドフィルタの出力（以下「全相関」という。）、および最終層以前のマッチドフィルタの出力（以下「部分相関」という。）が入力され、これら出力を逐一的に出力するマルチプレクサと、このマルチプレクサの出力の相関電力を計算する相関電力計算部と、この相関電力計算部で算出された相関電力のピーク位置を検出するピーク検出部と、このピーク検出部で検出されたピーク位置のタイミングで、マルチプレクサの複数の出力を取り込み、複数ピーク位置の出力の位相誤差を検出する、位相誤差検出部とを備えた周波数制御部と、この周波数制御部の位相誤差検出部によって検出された位相誤差に対応する周波数偏差を解消するように移動局の局部発振周波数を制御する周波数制御部と、を備えたことを特徴とする移動局。

【請求項10】 位相誤差検出部は、位相誤差を遅延検波によって算出することを特徴とする請求項6乃至9のいずれか1項に記載の移動局。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明は直接拡散符号分割多重アクセス（DS-CDMA）通信方式に関し、特に初期セルサーチ処理において、移動局と基地局との周波数偏差の影響を低減するための周波数制御方法とその受信装置に関する。

【0002】

【従来の技術】 近年移動体通信の分野で注目を集めている広帯域直接拡散符号分割多重アクセス（W-CDMA）通信方式は、初期セルサーチにおいて初期同期や基地局特定のための演算処理を行うため、初期セルサーチに多くの時間を要する。そこで基地局を特定するスクランブルコードをグループ分けし、グループを特定する第2同期コード（サーチコード）を設定して、初期セルサーチを高速化する3段階セルサーチ方式が提案されている（「W-CDMAセルラ方式におけるセルサーチ特性の解析」、電子情報通信学会論文誌、Vol. J83-B, No. 9, pp1245-1257）。

【0003】 そして初期セルサーチにおいては、基地局と移動局との周波数同期が為されていないため、両者の周波数偏差が比較的大となる可能性がある。この問題に関して、Y. WangおよびT. Ottoson著の論文「CELL SEARCH ALGORITHM AND OPTIMIZATION IN W-CDMA」、IEEE Vehicle Technology Conference 2000 Spring, Tokyoにおいて指摘されている。周波数偏差が大きいときには初期セルサーチ各段階における相関検出の精度が低下し、セルサーチの誤検出率が高まる。

この問題を解決するため、同論文では初期セルサーチにおいてのみ、1シンボル以内の部分相関を利用する方法を提案している。しかしこの方法では、システム本来の拡散利得を充分に生かすことはできず、S/N比を高めることができない。

【0004】

【発明が解決しようとする課題】 本発明はこのような従来の問題点を解消すべく創案されたもので、3段階セルサーチ方式において、周波数偏差に起因した誤検出を防止し得る周波数制御方法および受信装置を提供することを目的とする。

【0005】

【課題を解決するための手段】 本発明は、全ての基地局に共通の第1同期コード（サーチコード）と、基地局を特定するスクランブルコードとを設定し、これらスクランブルコードを複数のスクランブルコードグループに分け、各スクランブルコードグループを特定するための第2同期コード（サーチコード）の組み合せを設定し、基地局から、第1同期コードから構成される第1同期チャンネル（サーチチャンネル）および第2同期コードから構成される第2同期チャンネル（サーチチャンネル）を送信し、移動局では、受信信号に対して、第1同期コードを用いた相関演算を行い、この相関演算結果に基づいて第1受信タイミング（スロット同期）を検出するとともに、受信信号の逆拡散信号を生成する第1ステップと、受信信号に対して、前記第1受信タイミングで第2同期コードを用いた相関演算を行い、この相関演算結果に基づいて第2受信タイミング（フレーム同期）を検出するとともに、スクランブルコードグループを特定する第2ステップと、特定されたスクランブルコードグループに含まれるスクランブルコードを用いた相関演算を行い、1個のスクランブルコードを特定する第3ステップとによって初期セルサーチを実行し、これによって移動局が信号を受信すべき基地局を特定し、その後複数チャンネルによって移動局、基地局間の通信を行うW-CDMA通信方式における移動局の周波数制御方法において、セルサーチの第1ステップの完了後、第1同期コードによる相関演算結果の複数スロット間の位相誤差を検出し、この位相誤差に対応する周波数偏差を解消するよう位相誤差検出部によって周波数偏差を解消するように移動局の局部発振周波数を調整する。これによって、早期の周波数調整が可能になる。

【0006】 本発明は、全ての基地局に共通の第1同期コード（サーチコード）と、基地局を特定するスクランブルコードとを設定し、これらスクランブルコードを複数のスクランブルコードグループに分け、各スクランブルコードグループを特定するための第2同期コード（サーチコード）の組み合せを設定し、基地局から、第1同期コードから構成される第1同期チャンネル（サーチチャンネル）および第2同期コードから構成される第2同期チャンネル（サーチチャンネル）を送信し、移動局で

は、受信信号に対して、第1同期コードを用いた相関演算を行い、この相関演算結果を巡回積分し、この巡回積分結果に基づいて第1受信タイミング（スロット同期）を検出するとともに、受信信号の逆拡散信号を生成する第1ステップと、受信信号に対して、前記第1受信タイミングで第2同期コードを用いた相関演算を行い、この相関演算結果に基づいて第2受信タイミング（フレーム同期）を検出するとともに、スクランブルコードグループを特定する第2ステップと、特定されたスクランブルコードグループに含まれるスクランブルコードを用いた相関演算を行い、1個のスクランブルコードを特定する第3ステップとによって初期セルサーチを実行し、これによって移動局が信号を受信すべき基地局を特定し、その後複数チャンネルによって移動局、基地局間の通信を行うW-CDMA通信方式における移動局の周波数制御方法において、セルサーチの第1ステップの第1受信タイミング検出前に、前記相関演算結果の信号電力のピークを検出し、このピークのタイミングで複数ピーク位置における、相関出力の位相誤差を検出し、この位相誤差に対応する周波数偏差を解消するように移動局の局部発振周波数を調整する。これによって周波数調整をより早期に実行し得る。

【0007】本発明は、全ての基地局に共通の第1同期コード（サーチコード）と、基地局を特定するスクランブルコードとを設定し、これらスクランブルコードを複数のスクランブルコードグループに分け、各スクランブルコードグループを特定するための第2同期コード（サーチコード）の組み合せを設定し、基地局から、第1同期コードから構成される第1同期チャンネル（サーチチャンネル）および第2同期コードから構成される第2同期チャンネル（サーチチャンネル）を送信し、移動局では、受信信号に対して、第1同期コードを用いた相関演算を行い、この相関演算結果を巡回積分し、この巡回積分結果に基づいて第1受信タイミング（スロット同期）を検出するとともに、受信信号の逆拡散信号を生成する第1ステップと、受信信号に対して、前記第1受信タイミングで第2同期コードを用いた相関演算を行い、この相関演算結果に基づいて第2受信タイミング（フレーム同期）を検出するとともに、スクランブルコードグループを特定する第2ステップと、特定されたスクランブルコードグループに含まれるスクランブルコードを用いた相関演算を行い、1個のスクランブルコードを特定する第3ステップとによって初期セルサーチを実行し、これによって移動局が信号を受信すべき基地局を特定し、その後複数チャンネルによって移動局、基地局間の通信を行うW-CDMA通信方式における移動局の周波数制御方法において、セルサーチの第1ステップの相関演算は、複数階層の直列なマッチドフィルタによって階層的に実行し、第1ステップの第1受信タイミング検出前に、前記マッチドフィルタの最終層または最終層以前の相関演算結果（以下「部分相関」という。）の信号電力のピークを検出し、このピークのタイミングで、複数ピーク位置における、相関出力の位相誤差または部分相関の位相誤差を検出し、この位相誤差に対応する周波数偏差を解消するように移動局の局部発振周波数を調整する。これによって移動局の動作状況に応じて、周波数検出精度、周波数調整時期を最適化し得る。

（以下「部分相関」という。）の信号電力のピークを検出し、このピークのタイミングで、複数ピーク位置における、部分相関の位相誤差を検出し、この位相誤差に対応する周波数偏差を解消するように移動局の局部発振周波数を調整する。これによってさらに周波数調整の時期を早めることができる。

【0008】本発明は、全ての基地局に共通の第1同期コード（サーチコード）と、基地局を特定するスクランブルコードとを設定し、これらスクランブルコードを複数のスクランブルコードグループに分け、各スクランブルコードグループを特定するための第2同期コード（サーチコード）の組み合せを設定し、基地局から、第1同期コードから構成される第1同期チャンネル（サーチチャンネル）および第2同期コードから構成される第2同期チャンネル（サーチチャンネル）を送信し、移動局では、受信信号に対して、第1同期コードを用いた相関演算を行い、この相関演算結果を巡回積分し、この巡回積分結果に基づいて第1受信タイミング（スロット同期）を検出するとともに、受信信号の逆拡散信号を生成する第1ステップと、受信信号に対して、前記第1受信タイミングで第2同期コードを用いた相関演算を行い、この相関演算結果に基づいて第2受信タイミング（フレーム同期）を検出するとともに、スクランブルコードグループを特定する第2ステップと、特定されたスクランブルコードグループに含まれるスクランブルコードを用いた相関演算を行い、1個のスクランブルコードを特定する第3ステップとによって初期セルサーチを実行し、これによって移動局が信号を受信すべき基地局を特定し、その後複数チャンネルによって移動局、基地局間の通信を行うW-CDMA通信方式における移動局の周波数制御方法において、セルサーチの第1ステップの相関演算は、複数階層の直列なマッチドフィルタによって階層的に実行し、第1ステップの第1受信タイミング検出前に、前記マッチドフィルタの最終層または最終層以前の相関演算結果（以下「部分相関」という。）の信号電力のピークを検出し、このピークのタイミングで、複数ピーク位置における、相関出力の位相誤差または部分相関の位相誤差を検出し、この位相誤差に対応する周波数偏差を解消するように移動局の局部発振周波数を調整する。これによって移動局の動作状況に応じて、周波数検出精度、周波数調整時期を最適化し得る。

【0009】なお、位相誤差は例えば遅延検波によって算出する。

【0010】本発明は、全ての基地局に共通の第1同期コード（サーチコード）と、基地局を特定するスクランブルコードとを設定し、これらスクランブルコードを複数のスクランブルコードグループに分け、各スクランブルコードグループを特定するための第2同期コード（サーチコード）の組み合せを設定し、基地局から、第1同期コードから構成される第1同期チャンネル（サーチ

チャンネル) および第2同期コードから構成される第2同期チャンネル(サーチチャンネル)を送信し、移動局では、受信信号に対して、第1同期コードを用いた相関演算を行い、この相関演算結果に基づいて第1受信タイミング(スロット同期)を検出するとともに、受信信号の逆拡散信号を生成する第1ステップと、受信信号に対して、前記第1受信タイミングで第2同期コードを用いた相関演算を行い、この相関演算結果に基づいて第2受信タイミング(フレーム同期)を検出するとともに、スクランブルコードグループを特定する第2ステップと、特定されたスクランブルコードグループに含まれるスクランブルコードを用いた相関演算を行い、1個のスクランブルコードを特定する第3ステップとによって初期セルサーチを実行し、これによって移動局が信号を受信すべき基地局を特定し、その後複数チャンネルによって移動局、基地局間の通信を行うW-CDMA通信方式における移動局において、セルサーチの第1ステップの相関演算を実行するマッチドフィルタと、このマッチドフィルタの出力が入力される相関電力計算部と、この相関電力計算部の出力が入力される加算器と、この加算器の出力をスロット周期で保持するメモリに入力され、そのメモリの出力が加算器に帰還され、これによって前記加算器によって相関電力を累積するメモリと、このメモリの出力に基づいて第1受信タイミングを検出するタイミング検出部と、前記マッチドフィルタの出力が入力され、その相関電力を計算する相関電力計算部と、この相関電力計算部で算出された相関電力のピーク位置を検出するピーク検出部と、このピーク検出部で検出されたピーク位置のタイミングで前記マッチドフィルタの複数の出力を取り込み、複数スロットに渡り相関演算出力の位相誤差を検出する、位相誤差検出部と、この位相誤差検出部によって検出されて位相誤差に対応する周波数偏差を解消するように移動局の局部発振周波数を制御する周波数制御部とを備える。

【0011】本発明は、全ての基地局に共通の第1同期コード(サーチコード)と、基地局を特定するスクランブルコードとを設定し、これらスクランブルコードを複数のスクランブルコードグループに分け、各スクランブルコードグループを特定するための第2同期コード(サーチコード)の組み合せを設定し、基地局から、第1同期コードから構成される第1同期チャンネル(サーチチャンネル)および第2同期コードから構成される第2同期チャンネル(サーチチャンネル)を送信し、移動局では、受信信号に対して、第1同期コードを用いた相関演算を行い、この相関演算結果に基づいて第1受信タイミング(スロット同期)を検出するとともに、受信信号の逆拡散信号を生成する第1ステップと、受信信号に対して、前記第1受信タイミングで第2同期コードを用いた相関演算を行い、この相関演算結果に基づいて第2受信タイミング(フレーム同期)を検出するとともに、スクランブルコードグループを特定する第2ステップと、特定されたスクランブルコードグループに含まれるスクランブルコードを用いた相関演算を行い、1個のスクランブルコードを特定する第3ステップとによって初期セルサーチを実行し、これによって移動局が信号を受信すべき基地局を特定し、その後複数チャンネルによって移動局、基地局間の通信を行うW-CDMA通信方式における移動局において、第1ステップの相関演算を実行する、複数階層の直列なマッチドフィルタと、これらマッチドフィルタの最終層のマッチドフィルタ出力が入力され、その相関電力を計算する相関電力計算部と、この相

ブルコードを特定する第3ステップとによって初期セルサーチを実行し、これによって移動局が信号を受信すべき基地局を特定し、その後複数チャンネルによって移動局、基地局間の通信を行うW-CDMA通信方式における移動局において、セルサーチの第1ステップの相関演算を実行するマッチドフィルタと、このマッチドフィルタの出力が入力され、その相関電力を計算する相関電力計算部と、この相関電力計算部の出力が入力される加算器と、この加算器の出力をスロット周期で保持するメモリに入力され、そのメモリの出力が加算器に帰還され、これによって前記加算器によって相関電力を累積するメモリと、このメモリの出力に基づいて第1受信タイミングを検出するタイミング検出部と、前記マッチドフィルタの出力が入力され、その相関電力を計算する相関電力計算部と、この相関電力計算部で算出された相関電力のピーク位置を検出するピーク検出部と、このピーク検出部で検出されたピーク位置のタイミングで前記マッチドフィルタの複数の出力を取り込み、複数スロットに渡り相関演算出力の位相誤差を検出する、位相誤差検出部とを備えた周波数制御部と、この周波数制御部の位相誤差検出部によって検出された位相誤差に対応する周波数偏差を解消するよう位相誤差検出部によって検出された位相誤差に対応する周波数偏差を解消するように移動局の局部発振周波数を制御する周波数制御部とを備える。

【0012】本発明は、全ての基地局に共通の第1同期コード(サーチコード)と、基地局を特定するスクランブルコードとを設定し、これらスクランブルコードを複数のスクランブルコードグループに分け、各スクランブルコードグループを特定するための第2同期コード(サーチコード)の組み合せを設定し、基地局から、第1同期コードから構成される第1同期チャンネル(サーチチャンネル)および第2同期コードから構成される第2同期チャンネル(サーチチャンネル)を送信し、移動局では、受信信号に対して、第1同期コードを用いた相関演算を行い、この相関演算結果に基づいて第1受信タイミング(スロット同期)を検出するとともに、受信信号の逆拡散信号を生成する第1ステップと、受信信号に対して、前記第1受信タイミングで第2同期コードを用いた相関演算を行い、この相関演算結果に基づいて第2受信タイミング(フレーム同期)を検出するとともに、スクランブルコードグループを特定する第2ステップと、特定されたスクランブルコードグループに含まれるスクランブルコードを用いた相関演算を行い、1個のスクランブルコードを特定する第3ステップとによって初期セルサーチを実行し、これによって移動局が信号を受信すべき基地局を特定し、その後複数チャンネルによって移動局、基地局間の通信を行うW-CDMA通信方式における移動局において、第1ステップの相関演算を実行する、複数階層の直列なマッチドフィルタと、これらマッチドフィルタの最終層のマッチドフィルタ出力が入力され、その相関電力を計算する相関電力計算部と、この相

関電力計算部の出力が入力される加算器と、この加算器の出力をスロット周期で保持するメモリに入力され、そのメモリの出力が加算器に帰還され、これによって前記加算器によって相関電力を累積するメモリと、このメモリの出力に基づいて第1受信タイミングを検出するタイミング検出部と、前記最終層以前のマッチドフィルタの出力（以下「部分相関」という。）が入力され、その相関電力を計算する相関電力計算部と、この相関電力計算部で算出された相関電力のピーク位置を検出するピーク検出部と、このピーク検出部で検出されたピーク位置のタイミングで複数の部分相関を取り込み、複数ピーク位置の部分相関出力間の位相誤差を検出する、位相誤差検出部とを備えた周波数制御部と、この周波数制御部の位相誤差検出部によって検出された位相誤差に対応する周波数偏差を解消するように移動局の局部発振周波数を制御する周波数制御部とを備える。

【0013】本発明は、全ての基地局に共通の第1同期コード（サーチコード）と、基地局を特定するスランブルコードとを設定し、これらスランブルコードを複数のスランブルコードグループに分け、各スランブルコードグループを特定するための第2同期コード（サーチコード）の組み合せを設定し、基地局から、第1同期コードより構成される第1同期チャンネル（サーチチャンネル）および第2同期コードから構成される第2同期チャンネル（サーチチャンネル）を送信し、移動局では、受信信号に対して、第1同期コードを用いた相関演算を行い、この相関演算結果に基づいて第1受信タイミング（スロット同期）を検出するとともに、受信信号の逆拡散信号を生成する第1ステップと、受信信号に対して、前記第1受信タイミングで第2同期コードを用いた相関演算を行い、この相関演算結果に基づいて第2受信タイミング（フレーム同期）を検出するとともに、スランブルコードグループを特定する第2ステップと、特定されたスランブルコードグループに含まれるスランブルコードを用いた相関演算を行い、1個のスランブルコードを特定する第3ステップとによって初期セルサーチを実行し、これによって移動局が信号を受信すべき基地局を特定し、その後複数チャンネルによって移動局、基地局間の通信を行うW-CDMA通信方式における移動局において、第1ステップの相関演算を実行する、複数階層の直列なマッチドフィルタと、これらマッチドフィルタの、最終層のマッチドフィルタ出力、および最終層以前のマッチドフィルタ出力が入力され、これら出力を択一的に出力するマルチプレクサと、前記最終層のマッチドフィルタの出力が入力され、その相関電力を計算する相関電力計算部と、この相関電力計算部の出力が入力される加算器と、この加算器の出力をスロット周期で保持するメモリに出力され、そのメモリの出力が加算器に帰還され、これによって前記加算器によって相関電力を累積するメモリと、このメモリの出力に基づい

て第1受信タイミングを検出するタイミング検出部と、前記最終層のマッチドフィルタの出力、および最終層以前のマッチドフィルタの出力（以下「部分相関」という。）が入力され、これら出力を択一的に出力するマルチプレクサと、このマルチプレクサの出力の相関電力を計算する相関電力計算部と、この相関電力計算部で算出された相関電力のピーク位置を検出するピーク検出部と、このピーク検出部で検出されたピーク位置のタイミングで、マルチプレクサの複数の出力を取り込み、複数ピーク位置の相関出力の位相誤差を検出する、位相誤差検出部とを備えた周波数制御部と、この周波数制御部の位相誤差検出部によって検出された位相誤差に対応する周波数偏差を解消するように移動局の局部発振周波数を制御する周波数制御部とを備える。

【0014】本発明に係る移動局において、位相誤差検出部は、位相誤差を例えば遅延検波によって算出する。

【0015】

【発明の実施の形態】次に本発明に係るW-CDMA通信方式の周波数制御方法および受信装置の好適な実施形態を図面に基づいて説明する。

【0016】図15は3段階セルサーチ方式の一般的な送信フレーム構成を示す。

【0017】3段階セルサーチ方式では、共通パイロットチャンネルCPICH、第1同期（サーチ）チャンネルP-SCH、第2同期（サーチ）チャンネルS-SCHが設けられる。共通パイロットチャンネルCPICHではパイロットパターンが使用され、第1同期（サーチ）チャンネルP-SCHでは、全ての基地局に共通の第1同期コードPSCが使用される。

【0018】基地局はスランブルコードGC[i,j] (i=1~p, j=1~q) によって特定され、これらスランブルコードGC[i,j]は複数のスランブルコードグループSCMG[i] (i=1~p) に分類される。

【0019】第2同期チャンネルS-SCHでは、第2同期コード（サーチコード）SSC[i] (i=1~z) が使用され、第2同期コードの組み合わせによって1個のスランブルコードグループSCMG[i]が特定される。

【0020】図15において、1フレームの長さをn [スロット/1フレーム] × N [シンボル/1スロット] × M [チップ/1シンボル] とし、第1同期コードPSCおよび第2同期コードSSC[i]による相関演算を1フレーム中のn個（スロット数に相当）の受信タイミングで行うこととしている。

【0021】送信信号の変調方式はQPSK (Quad rate Phase Shift Keying) であり、送信信号は同相成分（I成分）および直交成分（Q成分）よりなる。

【第1実施形態】図1は本発明の第1実施形態における

移動局を示すブロック図である。

【0022】移動局はアンテナ200と、このアンテナ200に接続された送受信切換器（デュプレクサ）210とを有し、この送受信切換器（デュプレクサ）210に送信部220、受信部230が接続されている。送受信切換器（デュプレクサ）210は送信部220の電流と、受信部230の電流とを分離し、混信を防止する。

【0023】送信部220は、送信すべきデジタル信号を拡散する拡散変調部2201と、この拡散変調部2201のデジタル出力の同相成分（I成分）、直交成分（Q成分）をそれぞれアナログ信号に変換するデジタル・アナログ変換部2202、2203を有する。デジタル・アナログ変換部2202、2203の出力はそれぞれローパスフィルタ2204、2205によってノイズ除去される。

【0024】ローパスフィルタ2204、2205の出力は直交変調部2206に入力され、送信すべき信号の同相成分（I成分）、直交成分（Q成分）を1つのQPSK（Quadrature phase shift keying）変調信号に変換する。

【0025】直交変調部2206には送信周波数シンセサイザ2207が接続され、QPSK変調のための送信周波数が設定される。

【0026】直交変調部2206の出力は可変ゲイン増幅器2208によって増幅された後、バンドパスフィルタ2209によって所定周波数以外の信号を除去する。

バンドパスフィルタ2209の出力は、送信周波数シンセサイザ2207の出力とともにミキサ2210に入力され、変調される。その後バンドパスフィルタ2211による所定周波数成分の抽出、可変ゲイン増幅器2212による増幅、電力増幅器2213による増幅を経て、送受信切換器（デュプレクサ）210に入力される。

【0027】受信部230は、送受信切換器（デュプレクサ）210に接続された低雑音増幅器2301、この低雑音増幅器2301の出力における所定周波数以外の信号を除去するバンドパスフィルタ2302とを有する。

【0028】バンドパスフィルタ2302の出力は、受信周波数シンセサイザ2304が接続されたミキサ2303に入力され、中間周波数信号に変換される。ミキサ2303の出力はバンドパスフィルタ2305による所定周波数成分の抽出、可変ゲイン増幅器2306による増幅を経た後、直交検波部2307によって直交検波される。直交検波部2307には受信周波数シンセサイザ2304が接続されている。

【0029】直交検波部2307は受信信号の同相成分（I成分）、直交成分（Q成分）を抽出して、それぞれローパスフィルタ2308、2309によるノイズ除去の後に、アナログ・デジタル変換部2310、2311

によってそれぞれデジタル信号に変換される。

【0030】アナログ・デジタル変換部2310、2311の出力は逆拡散復調部2312に入力され逆拡散される。

【0031】さらに逆拡散復調部2312は、受信信号と移動局の局部発振周波数との周波数偏差を求めるため、異なる受信タイミングでの受信信号の位相誤差PEを算出して、周波数制御部240に入力する。周波数制御部240は温度補償水晶発振器250に対して制御信号を出し、発振周波数を調整する。温度補償水晶発振器250にはシステムクロック生成部260が接続され、温度補償水晶発振器250の発振周波数を分周してシステムクロックを生成する。送信周波数シンセサイザ2207および受信周波数シンセサイザ2304は温度補償水晶発振器250に接続され、温度補償水晶発振器250の発振周波数を基準とした信号生成を行う。さらに温度補償水晶発振器250の出力はシステムクロック生成部260に入力され、移動局のシステムクロックCLK0の生成に使用される。

【0032】通常逆拡散復調部2312はセルサーチ、パスサーチ、同期検波、レーク合成、チャンネルデコーダ、RF制御などのブロックから構成される。図2はその中のセルサーチ・ブロックのブロック図及び本発明のセルサーチ・ブロックとFCブロック（後述）とAFCブロックとの接続関係を示すものである。

【0033】セルサーチ・ブロックには、受信信号Sinが入力されるマッチドフィルタMFおよびスライディングコリレータ部SCが設けられている。ここに、受信信号Sinは同相成分（I成分）SinI、直交成分（Q成分）SinQとよりなる複素データである。

【0034】マッチドフィルタMFは受信信号Sinと第1同期コードPSCとの相関演算を行い、その出力Spscは相関電力計算部PWに入力され、相関演算結果の信号電力値（絶対値）を出し、メモリMEM1で保持された後、タイミング検出部TDPによって処理される。メモリMEM1は1スロット分の容量をもち、その前段の加算器ADDと合わせてスロット単位の相関演算結果の信号電力値（絶対値）を累積加算する。これによって巡回積分が実行される。なお、出力SpscはI成分SpscI、Q成分SpscQとよりなる複素データである。

【0035】スライディングコリレータ部SCは複数のスライディングコリレータSC1～SCz（図17参照）よりなり、その出力A[i]（i=1～z）は、メモリMEM2で保持された後、タイミング・グループ特定部TGIによって処理される。

【0036】メモリMEM1は加算器ADDの出力を1スロット分保持し、初期状態では相関電力を1スロット期間保持した後に、加算器ADDに帰還する。その後、加算器ADDは加算結果に1スロット周期の相関電力を

順次加える。これによって、加算器ADDは1スロット周期の相関電力を累積加算する。累積加算の期間は、1スロット（1スロット周期の2つの相関電力）、あるいは複数スロット期間である。

【0037】相関電力はタイミング検出部TDPの判定部JP1によって閾値処理されて、ピークが検出され、第1受信タイミングTp1が検出される。この第1受信タイミングTp1は図15の1スロットの始点を与え、スロット同期が検出されることになる。

【0038】第1受信タイミングTp1はスライディングコリレータ部SCに入力され、スライディングコリレータSC1～SCzの受信タイミングが設定される。スライディングコリレータSC1～SCzはそれぞれ第2同期コードSSC[1]～SSC[z]と受信信号Sinとの相関演算を1フレームにわたって行い、その出力A[1]～A[z]はマトリックスAM[i,j]（i=1～z；j=1～n）としてメモリMEM2に格納される。なお、マトリックスAM[i,j]はI成分AMI[i,j]とQ成分AMQ[i,j]とよりなる複素データである。

【0039】タイミング検出部TDPは第1受信タイミングTp1に対応したクロックCLK1を生成し、このクロックCLK1を、マッチドフィルタMFの出力に接続された位相誤差検出部FCに入力する。位相誤差検出部FCは受信信号Sinの周波数と移動局の局部発振周波数との周波数偏差を算出するための位相誤差を検出して、図1の周波数制御部240に入力され、局部発振周波数を調整する。

【0040】タイミング・グループ特定部TG1は、マトリックスAM[i,j]（i=1～z；j=1～n）の要素に対して、各スランブルコードグループSCMG[1]～SCMG[p]を表す既定の組合せパターンPGC[i,j,k]（i=1～z；j=1～n，k=1～n）について同相加算部CAPによって同相加算し、この同相加算結果から、相関電力平均部PWAによってその信号電力（絶対値）の平均値を算出する。この信号電力（絶対値）の平均値を閾値処理することによって、判定部JP2は1個のスランブルコードグループSCMG[g]を特定するとともに、第2受信タイミングTp2を特定する。第2受信タイミングはフレームの始点を与え、フレーム同期が検出されることになる。

【0041】なお、タイミング・グループ特定部TG1では、上記の同相加算部CAPの同相加算処理を省略し、直接マトリックスAM[i,j]（i=1～z；j=1～n）の各要素から、その信号電力（絶対値）を求め、既定の組み合わせパターンGCG[i,j,k]（i=1～p；j=1～z，k=1～n）について累積処理を行い、その結果について閾値処理することも可能である。

【0042】次にあるスランブルコードグループSCMG[i]に含まれるスランブルコードGCG[i,

j]（i=1～p，j=1～q）についてスライディングコリレータ部SCAにより、受信信号Sinとスランブルコードと共に共通バイロットチャンネルのチャネライゼーションコードとの相関演算を行う。この相関演算結果（Sth[1]，Sth[2]，…，Sth[k]）について、同相成分（I成分）と直交成分（Q成分）別に1シンボルもしくは複数シンボルにわたりメモリ回路（MEM31，MEM32，…，MEM39）と各メモリ回路の前段加算回路により累積加算し、各メモリ回路（MEM31，MEM32，…，MEM39）の後段に接続される回路により、その信号電力（絶対値）の平均値を算出し、この信号電力（絶対値）の平均値を閾値処理することによって、判定部JP3はスランブルコードGCG[i,1]～GCG[i,q]の1つを特定する。

【0043】図3は位相誤差検出部FCをマッチドフィルタMFとともに示すブロック図である。

【0044】位相誤差検出部FCはマッチドフィルタ出力Spscが入力される2段階のサンプルホールド300、310を有し、これらサンプルホールド回路300、310はタイミング検出部TDPのクロックCLK1に同期して、出力Spscを保持する。サンプルホールド回路300と310の出力はスロット間位相誤差検出部320に入力される。クロックCLK1は、相関出力のスロット毎のピーク位置を与え、1個の出力Spscはスロットタイミングでサンプルホールド回路300に保持され、次のスロットタイミングでサンプルホールド回路310に転送され、そして新しいスロットタイミングで相関出力Spscを保持する。従ってサンプルホールド回路310はサンプルホールド回路300の1スロット後の相関出力Spscをスロット間位相誤差検出部320に出力されることとなる。

【0045】これによってスロット間位相誤差検出部320には連続した2スロットのピーク位置における相関出力が並列に入力される。

【0046】相関出力Spscの同相成分をDi、直交成分をDq、その振幅をB、キャリア周波数と移動局局部発振周波数との偏差をΔf、時間t、自然対数の底をeとすると、これらの関係は式（1）で表現される。

【0047】

【数1】

$$Di + jDq = Be^{j2\pi\Delta f t} \quad \text{式(1)}$$

スロット間位相誤差検出部320はスロット同期後に、連続2スロットの相関出力について式（2）、（3）の演算を実行して、遅延検波を行う。なお式（2）、（3）におけるTslotはスロット周期である。

【0048】

【数2】

$$B e^{j \omega t} + B e^{-j \omega t} e^{-j \Delta f t} = B^2 e^{-j \omega t} \quad \text{式 (2)}$$

$$= B^2 \{ \cos(2\Delta f T slot) + j \sin(2\Delta f T slot) \}$$

式 (3)

式 (3) の虚部のみを抽出すると式 (4) が得られ、これを周波数制御部 240 (図1) のための参考信号とすれば周波数偏差を解消し得る。

【0049】

【数3】

$$B^2 \sin(2\Delta f T slot)$$

式 (4)

スロット間位相誤差検出部 320 は式 (4) の参考信号を周波数制御部 240 (図1) に入力し、周波数制御部 240 はスロット間位相誤差に基づいて温度補償水晶発振器 250 (図1) の制御信号を生成し、周波数偏差を解消するように、移動局の局部発振周波数を調整する。これによって周波数偏差に起因したセルの誤検出を防止し得る。

【0050】図4は第1実施形態の処理を示すフローチャートである。

【0051】初期セルサーチにおいて、第1段階として、第1受信タイミングTP1の検出によるスロット同期を行い (ステップS401) 、このスロット同期結果に基づいて、位相誤差検出部FCにおいて、P-SCHチャンネルのスロット間の位相誤差を検出し、周波数制御を実行する (ステップS404) 。

【0052】初期セルサーチの第2段階 (ステップS402)においては、フレーム同期とスクランブルコードグループの特定を実行し、第3段階 (ステップS403)においては、スクランブルコードを特定する。

【0053】スクランブルコード特定後には、共通パイロットチャンネルCPICHをベースとした周波数制御を実行し (ステップS405) 、以後より良好な局部発振周波数による送受信処理を実行する (ステップS406)。なお、共通パイロットチャンネルCPICHをベースとした周波数制御方法は、CPICHチャンネルのシンボル間またはスロット間の受信信号の位相誤差を求め、その結果を図1の周波数制御部240に出力し、周波数制御を行う。なお、共通パイロットチャンネルCPICHのかわりに、他の共通制御チャンネルをベースにしてもよい。

【0054】ここで従来の初期セルサーチ処理と周波数制御を図19に基づいて説明する。初期セルサーチにおいて、第1実施形態と同様の第1段階 (ステップS1801) 、第2段階 (ステップS1802) 、第3段階 (ステップS1803) を実行し、初期セルサーチ完了後に共通パイロットチャンネルCPICHに基づく周波数制御を行い、送受信処理を実行した。すなわち従来は初期セルサーチが完了しなければ周波数を制御することが

できなかった。

【0055】これに対して第1実施形態は初期セルサーチの第1段階完了時点で周波数制御を開始でき、これを第2段階と並行して行うことによって、初期セルサーチのセル誤検出率を減らすとともに、初期セルサーチ完了時点で直ちに周波数を調整し得る。これはリアルタイムの周波数適応制御ということができる。

【0056】図16はマッチドフィルタMFを示すブロック図である。マッチドフィルタMFは「階層的相関シーケンスの高速相関 (Fast correlation of hierarchical correlation sequence)」を実行するもので、積和演算を階層的に実行して所期の積和演算結果を得るものである。図16のマッチドフィルタMFは第1層のマッチドフィルタMF1と、第2層のMF2を直列接続してなる。但し、より多くのマッチドフィルタを階層的に直列接続することも可能である。

【0057】マッチドフィルタMF1はm個の乗算回路M1 1～M1 mと、受信信号Sinを順次遅延して乗算回路M1 2～M1 mに入力する遅延回路D1 1～D1, m-1と、乗算回路M1 1～M1 mの出力を合計する加算回路ADD1とを備える。

【0058】一方、マッチドフィルタMF2はm個の乗算回路M2 1～M2 mと、マッチドフィルタMF1の出力を順次遅延して乗算回路M2 2～M2 mに入力する遅延回路D2 1～D2, m-1と、乗算回路M2 1～M2 mの出力を合計する加算回路ADD2とを備える。

【0059】受信信号Sinを離散的時系列信号としてSin(i)と表現すると、マッチドフィルタMFの出力Spsc[i]は式(5)で表現される。ここで、第1同期コードPSCは階層的相関シーケンスで、シーケンスP[j] (j=0～m-1) 及びシーケンスC[j] (j=0～m-1) から構成される。なおシーケンスP[j]とシーケンスC[j]の周期を同一として説明したが、異なる周期であってもよい。

【0060】

【数4】

$$Spsc[i] = \sum_{j=0}^{m-1} S(i, j) \times P[j] \times C[j \bmod m] \quad \text{式 (5)}$$

なお、本実施形態では、階層的な構成を例として説明したが、他の任意の構成のマッチドフィルタを使用し得る。

【0061】図17はスライディングコリレータ部SCを示すブロック図であり、受信信号Sinに対して、複数のスライディングコリレータSC1～SCzが並列に接続されている。各スライディングコリレータSC1～SCzにおいては、第2同期(サーチ)コードSSC[1], SSC[2], ..., SSC[z]と、受信信号Sinとの相関演算が実行される。

【0062】図18は1個のスライディングコリレータ

SC 1を代表して示す。スライディングコリレータSC 1は受信信号の同相成分S in Iと直交成分S in Qそれについて相関演算を行う。

【0063】スライディングコリレータSC 1は受信信号のI成分S in Iについて乗算回路M I 1と乗算回路M I 2を有し、乗算回路M I 1は時系列の受信信号S in Iと第2同期コードSSC [1]～SSC [z]のそれぞれのI成分SSCI [1]～SSCI [z]との乗算を順次実行し、乗算回路M I 2は時系列の受信信号S in Iと第2同期コードSSC [1]～SSC [z]のそれぞれのQ成分SSCQ [1]～SSCQ [z]との乗算を順次実行する。

【0064】さらにスライディングコリレータSC 1は、受信信号のQ成分S in Qについて乗算回路M Q 1と乗算回路M Q 2を有し、乗算回路M Q 1は時系列の受信信号S in Qと第2同期コードSSC [1]～SSC [z]のそれぞれのQ成分SSCQ [1]～SSCQ [z]との乗算を順次実行し、乗算回路M Q 2は時系列の受信信号S in Qと第2同期コードSSC [1]～SSC [z]のそれぞれのI成分SSCI [1]～SSCI [z]との乗算を順次実行する。乗算回路M I 1の出力と乗算回路M Q 1の出力は、加算回路ADD Iにより加算され、その出力は積分・ダンプ回路IND Iに入力され、相関演算結果A I [1]が算出される。乗算回路M Q 2と乗算回路M I 2の出力は、減算回路ADD Qにより減算され、その出力は積分・ダンプ回路IND Qに入力され、相関演算結果A Q [1]が算出される。

【0065】第2同期コードは、拡散符号生成回路SC Gで生成される。

【0066】〔第2実施形態〕

【0067】図5は第2実施形態におけるセルサーチ・ブロック及び本発明のセルサーチ・ブロックとFCブロックとAFCブロックとの接続関係を示すブロック図である。移動局の全体構成(図1)は第1実施形態と同様であり、セルサーチ・ブロックとFCブロックとAFCブロックとの接続関係のみが第1実施形態と異なる。

【0068】図5において、セルサーチ・ブロックと位相誤差検出部FCとの接続関係のみが第1実施形態と異なり、他の部分は同一である。従って、位相誤差検出部FC以外の部分については、図1と同一符号を付して示し、説明を省略する。

【0069】位相誤差検出部FCはマッチドフィルタMFの出力及び相関電力計算部PWの出力にのみ接続され、タイミング検出部TDPには接続されていない。

【0070】図6は第2実施形態の位相誤差検出部FCをマッチドフィルタMF及び相関電力計算部PWとともに示すブロック図である。

【0071】位相誤差検出部FCはマッチドフィルタ出力S p s cの相関電力(信号電力)を求める相関電力計算部PWの出力が入力されるピーク検出部610を有

し、ピーク検出部610は相関電力計算部PWで算出された相関電力を閾値処理して、そのピーク位置を検出する。このピーク位置はタイミング検出部TDPで検出される第1受信タイミングに略等しい。

【0072】ピーク検出部610の出力はクロック生成部620に入力され、クロック生成部620はピーク位置のタイミングでクロックCLK 2を連続的に生成する。クロックCLK 2はクロックCLK 1と略等しい。

【0073】位相誤差検出部FCはさらに2段階のサンプルホールド回路630、640を有し、これらサンプルホールド回路630、640はクロックCLK 2に同期して、マッチドフィルタ出力S p s cを保持する。サンプルホールド回路630と640の出力はスロット間位相誤差検出部650に入力される。

【0074】1個の出力S p s cはスロットタイミングでサンプルホールド回路630に保持され、次のスロットタイミングでサンプルホールド回路640に転送され、そして新しいスロットタイミングで相関出力S p s cを保持する。

【0075】従ってサンプルホールド回路640は、サンプルホールド回路630の1スロット後の相関出力S p s cをスロット間位相誤差検出部650に出力する。

【0076】これによってスロット間位相誤差検出部650には連続した2スロットのピーク位置における相関出力が並列に入力される。

【0077】スロット間位相誤差検出部650は第1実施形態のスロット間位相誤差検出部320と同様に遅延検波によって位相誤差を検出し、参照信号を周波数制御部240に入力する。周波数制御部240は参照信号に基づいて温度補償水晶発振器250(図1)の制御信号を生成し、位相誤差に対応する周波数偏差を解消するよう、移動局の局部発振周波数を調整する。

【0078】このようにタイミング検出部TDPを使用せずにピーク位置を検出すれば、初期セルサーチの第1段階(スロット同期)完了以前に周波数制御を開始でき、より早期に周波数を調整し得る。これによって、周波数偏差に起因したセルの誤検出を防止し得る。

【0079】図7は第2実施形態の処理を示すフローチャートである。

【0080】初期セルサーチにおいては、第1段階(スロット同期:ステップS701)、第2段階(フレーム同期とスクランブルコードグループの特定:ステップS702)、第3段階(スクランブルコードの特定:ステップS703)が順次実行され、第1段階の中途において、スロット毎にマッチドフィルタ出力についてピークを検出する(ステップS704)。ここで検出したピーク点の逆拡散後の信号についてスロット間の位相誤差を検出し、周波数制御を行う(ステップS705)。

【0081】スクランブルコード特定後には、共通パイロットチャンネルCPICHをベースとした周波数制御

を実行し（ステップS706）、以後より良好な局部発振周波数による送受信処理を実行する（ステップS707）。なお、共通パイロットチャンネルCPICHのかわりに、他の共通制御チャンネルをベースにしてもよい。

【第3実施形態】

【0082】図8は第3実施形態のセルサーチ・ブロック及びセルサーチ・ブロックとFCブロックとAFCブロックとの接続関係を示すブロック図である。移動局の全体構成（図1）は第1実施形態と同様であり、セルサーチ・ブロックとFCブロックとの接続関係が第1実施形態と異なる。

【0083】図8において、セルサーチブロックと位相誤差検出部FCとの接続関係が第1実施形態と異なり、他の部分は同一である。従って、位相誤差検出部FC以外の部分については、図1と同一符号を付して示し、説明を省略する。

【0084】位相誤差検出部FCはマッチドフィルタMFの第1層マッチドフィルタMF1の出力（「Spc」の符号を付す。）にのみ接続され、タイミング検出部TDPには接続されていない。

【0085】図9は第3実施形態の位相誤差検出部FCをマッチドフィルタMFとともに示すブロック図である。

【0086】位相誤差検出部FCは、第1層マッチドフィルタMF1の出力Spcが入力される相関電力計算部900と、この相関電力計算部900の出力が入力されるピーク検出部910とを有し、相関電力計算部900は出力Spcの信号電力（絶対値）を算出して、相関電力を求める。ピーク検出部910は相関電力計算部900で算出された相関電力を閾値処理して、そのピーク位置を検出する。

【0087】図10において、マッチドフィルタMF1のタップ数をmとすると、マッチドフィルタMF1の出力Spcのピークの間隔Tslot1は（Tslot/m）に等しい。

【0088】ピーク検出部910の出力はクロック生成部920に入力され、クロック生成部920はピーク位置のタイミングのクロックCLK3を連続的に生成する。

【0089】図10に示すように、第1同期チャンネルP-SCHの1シンボル期間内にMF1出力Spcから複数個（m個）の相関ピークが検出でき、相関ピーク間の間隔（Tslot1）は1シンボル以内であるため、ここでサブシンボルと呼ぶ。

【0090】位相誤差検出部FCはさらに2段階のサンプルホールド回路930、940を有し、これらサンプルホールド回路930、940はクロックCLK3に同期して、出力Spcを保持する。サンプルホールド回路930と940の出力はサブシンボル間位相誤差検出部

950に入力される。

【0091】1個の出力Spcはサブシンボルタイミングでサンプルホールド回路930に保持され、次のサブシンボルタイミングでサンプルホールド回路940に転送され、そして新しいサブシンボルタイミングで相関出力Spcを保持する。

【0092】従ってサンプルホールド回路940はサンプルホールド回路300の1サブシンボル後の相関出力Spcをサブシンボル間位相誤差検出部950に出力される。

【0093】これによってサブシンボル間位相誤差検出部950には連続した2サブシンボルのピーク位置における相関出力が並列に入力される。

【0094】サブシンボル間位相誤差検出部950は第1実施形態のスロット間位相誤差検出部320と同様に遅延検波によって位相誤差を検出し、参照信号を周波数制御部240に入力する。周波数制御部240は参照信号に基づいて温度補償水晶発振器250の制御信号を生成し、周波数偏差を解消するように、移動局の局部発振周波数を調整する。なお、ここでサブシンボルは1シンボル以内という意味で、複数のサブシンボルの中から1部のサブシンボルを間引いた、サブシンボル間の位相誤差検出も含まれる。

【0095】このようにタイミング検出部TDPを使用せず、かつ第1層のマッチドフィルタMF1の出力Spcのピーク位置を検出すれば、第2実施形態よりも早期に周波数を調整し得る。これによって、周波数偏差に起因したセルの誤検出を防止し得る。

【0096】また周期Tslot1はTslotの（1/m）と短いので、検出される位相誤差は、マッチドフィルタ出力Spcに基づく第1、第2実施形態に比較して小さくなり、調整レンジ内に収まる可能性が高い。従って周波数調整が容易である。周波数調整のレンジは通常位相差（±π/4）以内であり、このレンジを越えると調整方向の判断に別個のパラメータを必要とする。

【0097】一般に移動局の受信を開始した直後は周波数偏差が大となる可能性が高く、第3実施形態の第1層マッチドフィルタMF1の出力Spcによる周波数制御を行うことが好ましいことが多い。

【0098】なお相関電力計算部900による演算を相関電力計算部PWによって行うこととすれば、相関電力計算部900を省略することができる。

【0099】図11は第3実施形態の処理を示すフローチャートである。

【0100】初期セルサーチにおいては、第1段階（スロット同期：ステップS1001）、第2段階（フレーム同期とスクランブルコードグループの特定：ステップS1002）、第3段階（スクランブルコードの特定：ステップS1003）が順次実行され、第1段階の中途において、マッチドフィルタMF1の出力について相関

出力を取り出し（ステップS1004）、スロット毎のMF1の相関ピークを検出する（ステップS1005）。ここで1シンボル内の複数相関ピーク間の位相誤差を検出し、周波数制御を行う（ステップS1006）。

【0101】スクランブルコード特定後には、共通バイロットチャンネルCPICHをベースとした周波数制御を実行し（ステップS1007）、以後より良好な局部発振周波数による送受信処理を実行する（ステップS1008）。なお、共通バイロットチャンネルCPICHのかわりに、他の共通制御チャンネルをベースにしてもよい。

【0102】第3実施形態では、単にMF1の出力を使用しているが、MF2をさらに複数個の部分相関マッチドフィルタに分割して、その出力（MF2の最終出力を除く。）を用いて、同様にサブシンボル相関（部分相関）出力間の位相誤差を検出し、その位相誤差をベースに周波数判断を行うことも可能である。

【第4実施形態】図12は第4実施形態におけるセルサーチ・ブロック及びセルサーチ・ブロックとFCブロックとAFCブロックとの接続関係を示すブロック図である。移動局の全体構成（図1）は第1実施形態と同様であり、セルサーチ・ブロックとFCブロックとの接続が第1実施形態と異なる。

【0103】図12において、セルサーチ・ブロックと位相誤差検出部FCとの接続関係が第1実施形態と異なり、他の部分は同一である。従って、位相誤差検出部FC以外の部分については、図1と同一符号を付して示し、説明を省略する。

【0104】位相誤差検出部FCは、マッチドフィルタMFの第1層マッチドフィルタMF1の出力Sp c、およびマッチドフィルタMF出力Sp scに接続され、タイミング検出部TDPには接続されていない。

【0105】第4実施形態は第2、第3実施形態を選択的に実施する構成を有する。

【0106】図13は第4実施形態の位相誤差検出部FCをマッチドフィルタMFとともに示すブロック図である。

【0107】位相誤差検出部FCは、第1層マッチドフィルタMF1の出力Sp cおよびマッチドフィルタMFの出力Sp scが入力されたマルチプレクサ1210を有し、マルチプレクサ1210の出力は相関電力計算部1220に入力されている。すなわち相関電力計算部1220には出力Sp scまたはSp cが選択的に入力される。相関電力計算部1220は出力Sp scまたはSp cの信号電力（絶対値）を算出して、相関電力を求める。なお、相関電力計算部1220の内部では、前記相関電力計算部PWと同様な演算が行われる。

【0108】相関電力計算部1220の出力はピーク検出部1230に入力され、ピーク検出部1230は相関

電力計算部1220で算出された相関電力を閾値処理して、そのピーク位置を検出する。

【0109】ピーク検出部1230の出力はクロック生成部1240に入力され、クロック生成部1240はピーク位置のタイミングのクロックCLK4を連続的に生成する。クロックCLK4は、クロックCLK2またはCLK3に等しい。

【0110】位相誤差検出部FCはさらに2段階のサンプルホールド回路1250、1260を有し、これらサンプルホールド回路1250、1260はクロックCLK4に同期して、出力Sp scまたはSp cを保持する。サンプルホールド回路1250と1260の出力はスロット間またはサブシンボル間位相誤差検出部1270に入力される。

【0111】マルチプレクサ1210に出力Sp scを選択したときには、クロック生成部1240は第2実施形態と同様略スロット周期のクロックCLK4（CLK2）を生成し、出力Sp cを選択したときには、Tslot1=（Tslot/m）の周期のクロックCLK4を生成する。

【0112】マルチプレクサの出力はスロットまたはサブシンボルタイミングでサンプルホールド回路1250に保持され、次のスロットまたはサブシンボルタイミングでサンプルホールド回路1260に転送され、そして新しいスロットまたはサブシンボルタイミングで相関出力Sp scまたはSp cを保持する。従ってサンプルホールド回路1260はサンプルホールド回路1250の1スロットまたはサブシンボル後の相関出力Sp scまたはSp cをスロット間またはサブシンボル間位相誤差検出部1270に出力される。

【0113】これによってスロット間またはサブシンボル間位相誤差検出部1270には連続した2ピーク位置における相関出力が並列に入力される。

【0114】スロット間またはサブシンボル間位相誤差検出部1270は第1実施形態のスロット間位相誤差検出部320と同様に遅延検波によって位相誤差を検出し、参照信号を周波数制御部240に入力する。周波数制御部240は参照信号に基づいて温度補償水晶発振器250（図1）の制御信号を生成し、位相誤差に対応する周波数偏差を解消するように、移動局の局部発振周波数を調整する。

【0115】このように出力Sp sc、Sp cを選択的に周波数制御に使用すれば、状況に応じた最適な周波数制御を実現し得る。例えば移動局の送受信開始直後は比較的周波数偏差が大となるので出力Sp cを使用し、その後出力Sp scを用いた制御に切り換える。これによって、周波数偏差に起因したセルの誤検出を防止し得る。

【0116】図14は第4実施形態の処理を示すフローチャートである。

【0117】初期セルサーチにおいては、第1段階（スロット同期：ステップS1301）、第2段階（フレーム同期とスランブルコードグループの特定：ステップS1302）、第3段階（スランブルコードの特定：ステップS1303）が順次実行され、第1段階の中途において、選択処理（ステップS1304）を実行し、ここから第2実施形態の処理であるステップS1305、S1306、あるいは第3実施形態の処理であるステップS1307、S1308、S1309に選択的に移行する。

【0118】第2実施形態の処理では、まずスロット毎にマッチドフィルタ出力についてピークを検出し（ステップS1305）、ここで検出したピーク点の逆拡散後の信号についてスロット間の位相誤差を検出し、周波数制御を行う（ステップS1306）。

【0119】一方第3実施形態の処理では、マッチドフィルタMF1の出力について相関出力を取り出し（ステップS1307）、スロット毎のMF1の相関ピークを検出する（ステップS1308）。ここで複数相関ピーク間の位相誤差を検出し、周波数制御を行う（ステップS1309）。

【0120】次に第2実施形態の処理結果と、第3実施形態の処理結果のいずれかを選択する（ステップS1310）。

【0121】スランブルコード特定後には、共通パイロットチャンネルCPICHをベースとした周波数制御を実行し（ステップS1311）、以後より良好な局部発振周波数による送受信処理を実行する（ステップS1312）。なお、共通パイロットチャンネルCPICHのかわりに、他の共通制御チャンネルをベースにしてもよい。

【0122】なお以上の実施形態においては遅延検波によって位相誤差検出をして、周波数制御の参照信号を生成していたが、他の位相誤差検出方法や周波数制御方法、例えば、Y. WangおよびT. Ottoson著の論文「INITIAL FREQUENCY ACQUISITION IN W-CDMA」（IEEE Vehicle Technology Conference 1999）に記載の方法を採用し得る。

【0123】

【発明の効果】本発明によれば、周波数偏差に起因したセルの誤検出を防止し得る。

【図面の簡単な説明】

【図1】 本発明に係るW-CDMA通信方式における移動局の第1実施形態を示す全体ブロック図である。

【図2】 図1のセルサーチブロックとAFCブロックとの接続関係を示すブロック図である。

【図3】 図2の位相誤差検出部を示すブロック図である。

【図4】 本発明に係る周波数制御方法の第1実施形態

を示すフローチャートである。

【図5】 移動局の第2実施形態におけるセルサーチブロックとAFCブロックとの接続関係を示すブロック図である。

【図6】 図5の位相誤差検出部を示すブロック図である。

【図7】 本発明に係る周波数制御方法の第2実施形態を示すフローチャートである。

【図8】 移動局の第3実施形態におけるセルサーチブロックとAFCブロックとの接続関係を示すブロック図である。

【図9】 図8の位相誤差検出部を示すブロック図である。

【図10】 マッチドフィルタMFの出力S<sub>psc</sub>と第1層マッチドフィルタMF1の出力S<sub>pc</sub>とを比較して示すグラフ図である。

【図11】 本発明に係る周波数制御方法の第3実施形態を示すフローチャートである。

【図12】 移動局の第4実施形態におけるセルサーチブロックとAFCブロックとの接続関係を示すブロック図である。

【図13】 図12の位相誤差検出部を示すブロック図である。

【図14】 本発明に係る周波数制御方法の第4実施形態を示すフローチャートである。

【図15】 3段階セルサーチ方法の一般的な送信信号フレーム構成を示す概念図である。

【図16】 図2のマッチドフィルタを示すブロック図である。

【図17】 図2のスライディングコリレータ部を示すブロック図である。

【図18】 図17における1個のスライディングコリレータを示すブロック図である。

【図19】 従来の周波数制御方法を示すフローチャートである。

【符号の説明】

CLK1、CLK2、CLK3、CLK4 クロック

GC [i,j] スランブルコード

PSC 第1同期コード

SSC [i] 第2同期コード

MF マッチドフィルタ

SC スライディングコリレータ部

AFC 周波数制御部

FC 位相誤差検出部

TDP タイミング検出部

1210 マルチプレクサ

600、900、1220 相関電力計算部

2312 逆拡散復調部

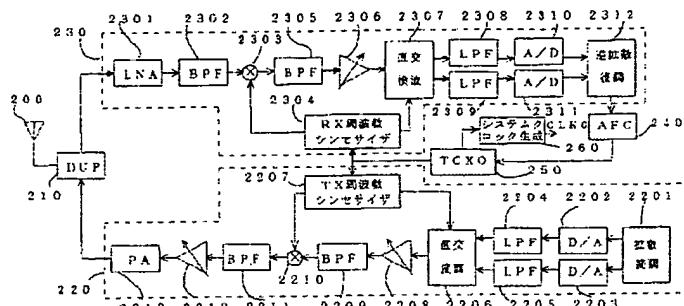
610、910、1230 ピーク検出部

620、920、1240 クロック生成部

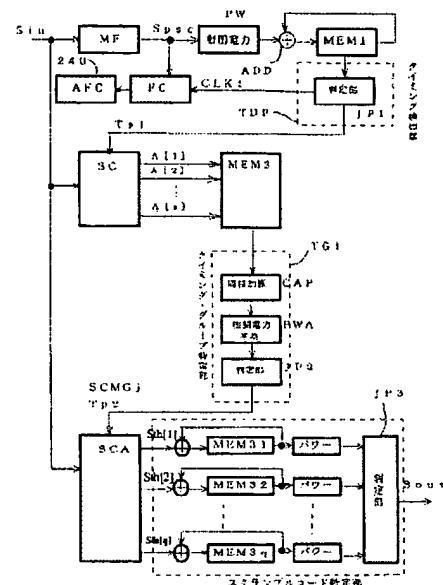
300、310、630、640、930、940、1  
250、1260 サンプルホールド回路  
320、650 スロット間位相誤差検出部

950 サブシンボル間位相誤差検出部  
1270 スロット間またはサブシンボル間の位相誤差  
検出部

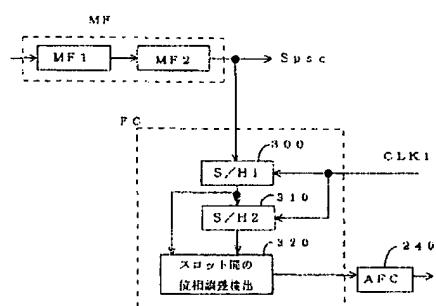
【図1】



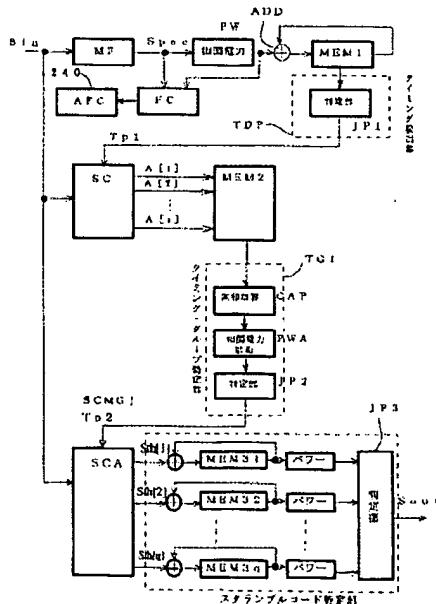
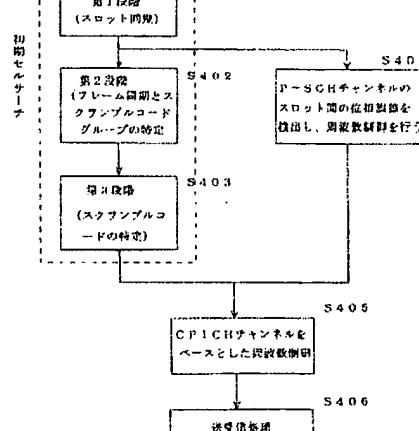
【図2】



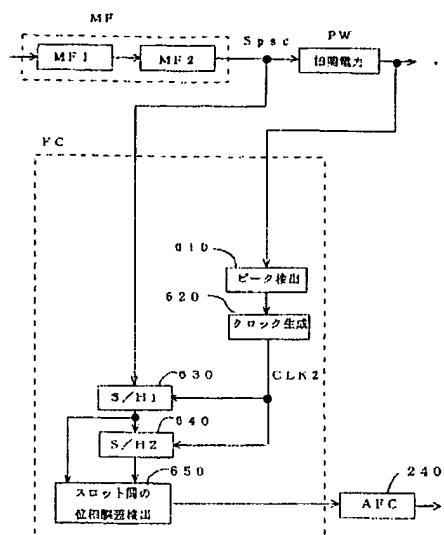
【図3】



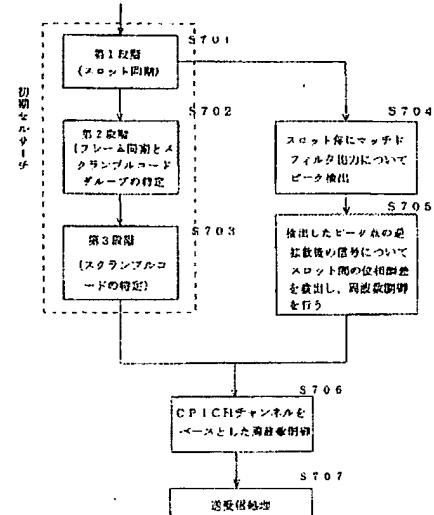
【図4】



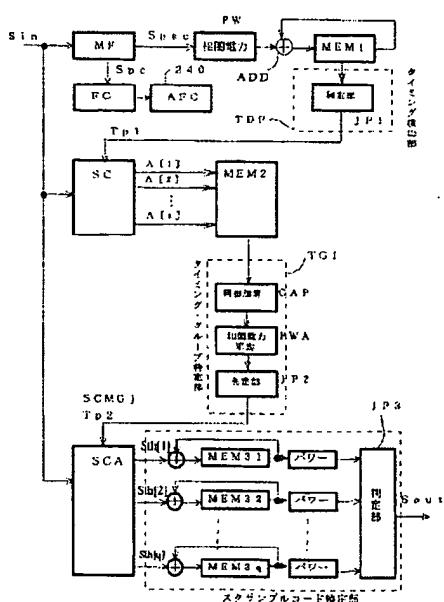
【図6】



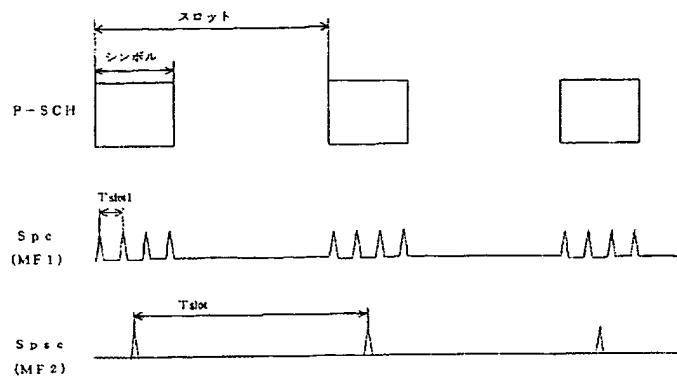
【図7】



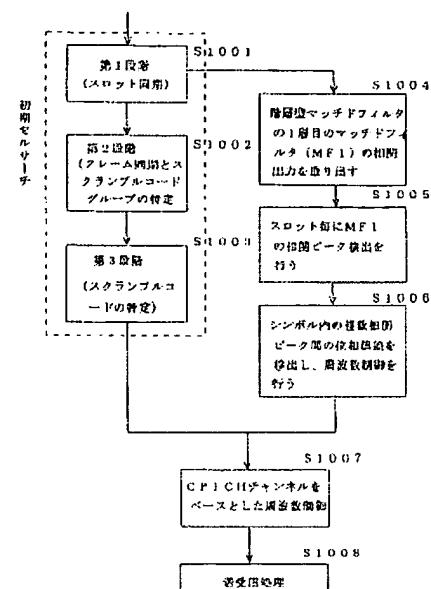
【図8】



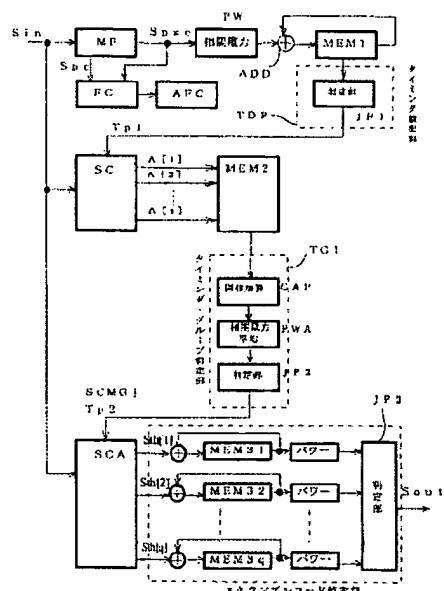
【図10】



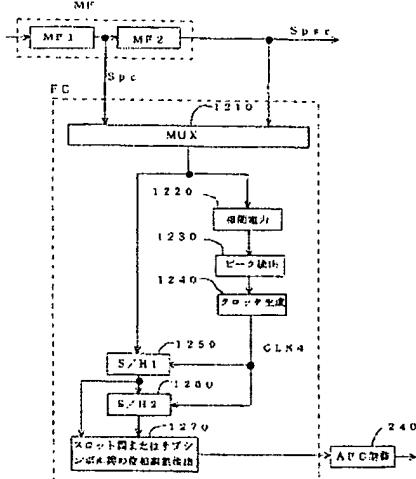
【図11】



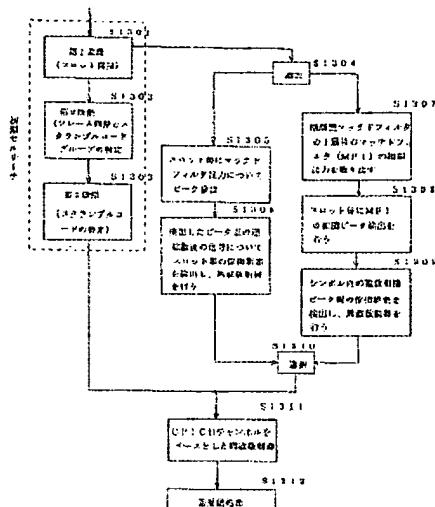
【図12】



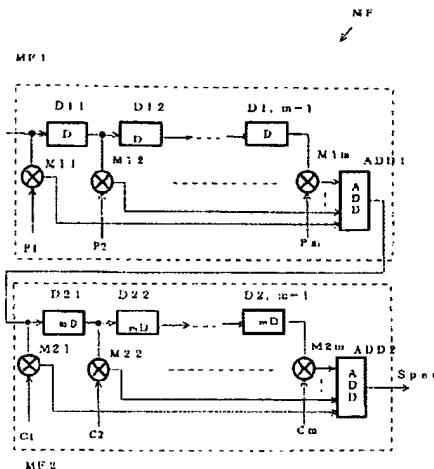
【図13】



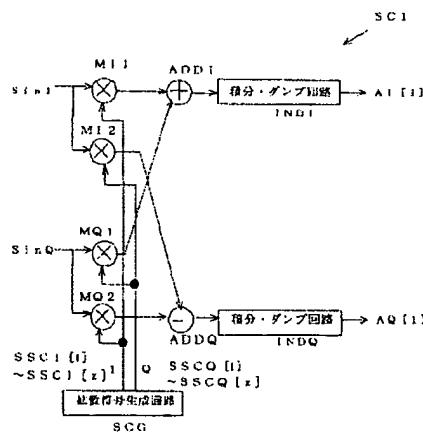
【図14】



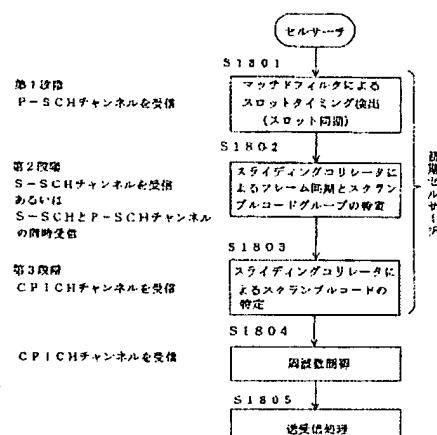
【図16】



【図18】



【図19】



フロントページの続き

Fターム(参考) 5K022 EE02 EE13 EE21 EE33 EE36  
 5K047 AA01 BB01 GG34 HH01 HH15  
 MM13 MM24 MM35 MM49 MM63  
 5K067 AA26 CC10 DD25 DD30 DD42  
 EE02 EE10 EE23 EE68 EE72  
 HH21 HH22 HH23 HH36 KK15